



TUGAS AKHIR - TE 141599

**PERANCANGAN *HALF-BRIDGE RECTIFIER* DAN
INVERTER SATU FASA UNTUK APLIKASI *ON-LINE UPS***

Sayid Muhammad Sidqi
NRP 2210 100 705

Dosen Pembimbing
Dedet Candra Riawan, ST., M.Eng., Ph.D.
Prof. Ir. Mochamad Ashari, M.Eng., Ph.D.

JURUSAN TEKNIK ELEKTRO
Fakultas Teknologi Industri
Institut Teknologi Sepuluh Nopember
Surabaya 2015



FINAL PROJECT - TE 141599

DESIGN OF A SINGLE PHASE HALF-BRIDGE RECTIFIER AND INVERTER FOR ON-LINE UPS APPLICATION

Sayid Muhammad Sidqi
NRP 2210 100 705

Advisor
Dedet Candra Riawan, ST., M.Eng., Ph.D.
Prof. Ir. Mochamad Ashari, M.Eng., Ph.D.

DEPARTMENT OF ELECTRICAL ENGINEERING
Faculty of Industrial Technology
Sepuluh Nopember Institute of Technology
Surabaya 2015

**PERANCANGAN *HALF-BRIDGE RECTIFIER* DAN
INVERTER SATU FASA UNTUK
APLIKASI *ON-LINE UPS***

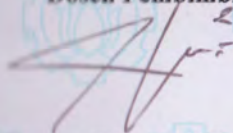
TUGAS AKHIR

**Diajukan Guna Memenuhi Sebagian Persyaratan
Untuk Memperoleh Gelar Sarjana Teknik
Pada
Bidang Studi Teknik Sistem Tenaga
Jurusan Teknik Elektro
Institut Teknologi Sepuluh Nopember**

Menyetujui:

Dosen Pembimbing 1

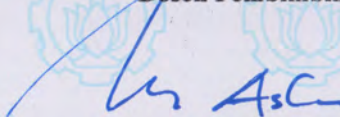
23/6/11



del Candra Riawan, ST., M.Eng., Ph.D.

NIP. 197311192000031001

Dosen Pembimbing 2



Prof. Ir. Mochamad Ashari, M.Eng., Ph.D.

NIP. 196510121990031003



PERANCANGAN *HALF-BRIDGE RECTIFIER* DAN *INVERTER* SATU FASA UNTUK APLIKASI *ON-LINE* UPS

Sayid Muhammad Sidqi
2210100705

Dosen Pembimbing 1 : Dedet Candra Riawan, ST., M.Eng., Ph.D.
Dosen Pembimbing 2 : Prof. Ir. Mochamad Ashari, M.Eng., Ph.D.

ABSTRAK

UPS (*Uninterruptible Power Supply*) merupakan jenis catu daya yang memiliki komponen penyimpan energi seperti baterai dengan tujuan menjaga kontinuitas aliran daya ke beban. Pada umumnya aplikasi UPS digunakan pada beban kritis, yakni beban yang tidak boleh kehilangan aliran daya secara tiba-tiba seperti komputer, peralatan medis dan kontrol industri. Dari berbagai macam topologi UPS, sistem *on-line* UPS sering menjadi pilihan utama karena tidak ada waktu transisi yang dibutuhkan untuk berpindah dari mode operasi normal ke mode baterai. Namun jika dilihat dari segi ekonomis, sistem *on-line* UPS merupakan yang paling buruk diantara topologi lainnya.

Sebuah *on-line* UPS terdiri dari konverter AC/DC (penyearah), konverter DC/DC dua arah, komponen penyimpan energi, *phase locked loop* (PLL) dan konverter DC/AC (inverter). Dalam tugas akhir ini hanya dibahas mengenai perancangan konverter AC/DC dan konverter DC/AC dengan topologi *half-bridge converter*. Topologi ini dipilih karena jumlah komponen pensaklaran yang digunakan dua kali lebih sedikit dibandingkan dengan topologi *full-bridge converter*. Dengan demikian, nilai ekonomis *on-line* UPS diharapkan lebih baik daripada sistem *on-line* UPS konvensional.

Kata kunci: penyearah, inverter, *on-line* UPS.

Halaman ini sengaja dikosongkan

DESIGN OF A SINGLE PHASE HALF-BRIDGE RECTIFIER AND INVERTER FOR ON-LINE UPS APPLICATION

Sayid Muhammad Sidqi
2210100705

1st Advisor : Dedet Candra Riawan, ST., M.Eng., Ph.D.

2nd Advisor : Prof. Ir. Mochamad Ashari, M.Eng., Ph.D.

ABSTRACT

UPS (Uninterruptible Power Supply) is an AC power supply featured with energy storage component such as battery in order to maintain continuity of load flow. In general, UPS used for equipment in critical applications, i.e., computers, medical equipment and industrial control. Such critical applications need uninterruptible power flow during operation. In certain applications, on-line UPS systems are often irreplaceable with other topologies because there is no transition time required for changing operation mode from normal to battery mode. However, on-line UPS systems are the worst among other topologies in terms of economic.

An on-line UPS consists of AC/DC converter (rectifier), bi-directional DC/DC converter, energy storage component, phase locked loop (PLL) and DC/AC converter (inverter). In this thesis only discussed about the design of the half-bridge DC/AC converter and AC/AC converter. Number of switching components used in this half-bridge topology are two times less than used in full-bridge topology. Thus, comparing with conventional on-line UPS systems, the cost of on-line UPS systems with proposed converter are expected to be reduced.

Keywords: *rectifier, inverter, on-line UPS.*

Halaman ini sengaja dikosongkan

KATA PENGANTAR

Puji dan syukur kepada Allah SWT yang telah melimpahkan berkat dan rahmat-Nya sehingga penulis dapat menyelesaikan Tugas Akhir dengan judul “Perancangan *Half-Bridge Rectifier* dan *Inverter* Satu Fasa untuk Aplikasi *On-Line UPS*”. Pada kesempatan yang berbahagia ini, penulis berkenan menyampaikan terima kasih kepada pihak-pihak yang telah memberikan bantuan dan bimbingan selama pelaksanaan Tugas Akhir ini, diantaranya:

1. Bapak Drs. Sayid Abubakar Achmad dan Ibu Dra. Nurbary M. Zain selaku orang tua penulis yang telah memberikan dukungan sepenuhnya baik dari segi materil maupun moril.
2. Bapak Dedet Candra Riawan S.T, M.Eng, Ph.D dan Bapak Prof. Dr. Ir. Mochamad Ashari, M.Eng sebagai Dosen Pembimbing yang telah memberikan arahan dan nasehat kepada penulis.
3. Syarifah Humaira, Syarifah Silvi Nahria, dan Sayid Alhambra selaku keluarga penulis yang turut serta memberikan doa.
4. Meyla Risilwa yang telah setia menemani penulis dan mendorong penulis tetap konsisten dalam penelitian ini.
5. Seluruh Dosen dan Staf Jurusan Teknik Elektro ITS.
6. Dwi Astuti, Ronny Fernandes Yayan, dan Syarlianggri selaku teman-teman seperjuangan “Maju Mundur Cantik”.
7. Ananta, Angga, Arie, Aufar, Bagus, Dudin, Imam, Reza, Rholly, Yoga, Wahyu, dan Wawan selaku teman-teman “Gudang”.
8. Keluarga Besar Mahasiswa Teknik Elektro ITS Angkatan e-50.
9. Asisten dan anggota Laboratorium Konversi Energi Teknik Elektro ITS.
10. Segenap pihak yang telah memberikan dukungan dan bantuan kepada penulis.

Penulis menyadari masih terdapat banyak kekurangan dalam penelitian maupun dalam penyusunan buku ini. Oleh karena itu, penulis mengharapkan kritik dan saran untuk perbaikan. Semoga penelitian ini memberikan banyak manfaat. Terima kasih.

Surabaya, Januari 2015

Penulis

Halaman ini sengaja dikosongkan

DAFTAR ISI

	HALAMAN
JUDUL	
LEMBAR KEASLIAN TUGAS AKHIR	
LEMBAR PENGESAHAN	
ABSTRAK	i
ABSTRACT	iii
KATA PENGANTAR	v
DAFTAR ISI	vii
DAFTAR GAMBAR	xi
DAFTAR TABEL	xiii
 BAB 1 PENDAHULUAN	 1
1.1 Latar Belakang	1
1.2 Permasalahan	2
1.3 Batasan Masalah	2
1.4 Tujuan	2
1.5 Metodologi	2
1.6 Sistematika	3
1.7 Relevansi	4
 BAB 2 STATIC UPS, VOLTAGE DOUBLER RECTIFIER DAN VOLTAGE SOURCE INVERTER	 5
2.1 Klasifikasi <i>Static</i> UPS	5
2.1.1 <i>Standby</i> UPS	5
2.1.2 <i>On-Line</i> UPS	6
2.1.3 <i>Line-Interactive</i> UPS	7
2.2 <i>Voltage Doubler Rectifier</i> (VDR)	8
2.2.1 Topologi Rangkaian VDR	8
2.2.2 Prinsip Kerja VDR	8
2.3 Teknik Pensaklaran VDR dengan Kontrol PI	10
2.3.1 Permodelan Kontroler	10
2.3.2 Pembangkitan Sinyal Pensaklaran	11
2.3.3 Konfigurasi Kontroler	11
2.3.4 Penstabilan Tegangan DC	13
2.4 <i>Voltage Source Inverter (VSI)</i>	13
2.4.1 <i>Half-Bridge</i> VSI	13
2.4.2 Filter LC	15

2.4.3	<i>Sinusoidal Pulse Width Modulation (SPWM)</i>	15
BAB 3 DESAIN VDR DAN <i>HALF-BRIDGE INVERTER</i> SATU FASA UNTUK APLIKASI <i>ON-LINE UPS</i>		
3.1	Desain Konverter	17
3.1.1	Konfigurasi Sistem	17
3.1.2	Parameter Input Output	18
3.1.3	Desain VDR	18
3.1.4	Desain Kontrol PI	20
3.1.5	Desain Filter LC	23
3.2	Desain Sinyal SPWM	24
3.2.1	Generator Sinyal Segitiga	24
3.2.2	Generator Deadtime	26
3.2.3	Penguat <i>Photocoupler</i>	26
BAB 4 SIMULASI KONVERTER AC/DC/AC SATU FASA UNTUK APLIKASI <i>ON-LINE UPS</i>		
4.1	Simulasi Konverter dengan Kontrol <i>Open Loop</i>	29
4.1.1	Karakteristik Arus Input	29
4.1.2	Karakteristik Tegangan DC	32
4.1.3	Karakteristik Tegangan Output	33
4.1.4	Respon Konverter terhadap Perubahan Beban	33
4.2	Simulasi Konverter dengan Kontrol <i>Closed Loop</i>	35
4.2.1	Performa Konverter pada Kondisi Full Load	35
4.2.2	Respon Konverter terhadap Perubahan Input	39
4.2.3	Respon Konverter terhadap Perubahan Beban	39
4.3	Simulasi Konverter pada Aplikasi <i>On-Line UPS</i>	39
BAB 5 IMPLEMENTASI DAN ANALISIS KONVERTER AC/DC/AC SATU FASA		
5.1	Implementasi Sinyal Pensaklaran	43
5.1.1	Pengujian Sinyal <i>Carrier</i>	43
5.1.2	Pengujian Sinyal SPWM	44
5.1.3	Pengujian Rangkaian <i>Photocoupler</i>	45
5.2	Implementasi Konverter AC/DC/AC	46
5.2.1	Pengujian VDR	46
5.2.2	Pengujian HBVSI	47
5.2.3	Pengujian Konverter AC/DC/AC	49

BAB 6 PENUTUP	53
6.1 Kesimpulan	53
6.2 Saran	53
DAFTAR PUSTAKA	55
BIOGRAFI PENULIS	57
LAMPIRAN	59

Halaman ini sengaja dikosongkan

DAFTAR TABEL

TABEL		HALAMAN
Tabel 3.1	Parameter input output konverter AC/DC/AC	18
Tabel 3.2	Parameter hasil desain VDR	20
Tabel 3.3	Parameter generator sinyal <i>carrier</i>	25
Tabel 3.4	Parameter rangkaian <i>driver</i> MOSFET	27

Halaman ini sengaja dikosongkan

DAFTAR GAMBAR

GAMBAR	HALAMAN
Gambar 2.1 Konfigurasi <i>standby</i> UPS dan <i>on-line</i> UPS	6
Gambar 2.2 Konfigurasi <i>line-interactive</i> UPS	7
Gambar 2.3 Topolgi VDR	8
Gambar 2.4 Rangkaian ekivalen VDR saat S_1 aktif dan S_2 aktif serta resistansi input efektif	9
Gambar 2.5 Pembangkitan sinyal pensaklaran	11
Gambar 2.6 Konfigurasi kontroler penyearah	12
Gambar 2.7 Perubahan <i>duty cycle</i> modulator	12
Gambar 2.8 <i>Half-Bridge</i> VSI dan gelombang outputnya	13
Gambar 2.9 Rangkaian Filter LC	15
Gambar 2.10 Konfigurasi SPWM	16
Gambar 2.11 Gelombang input dan output SPWM	16
Gambar 3.1 Konfigurasi konverter AC/DC/AC	17
Gambar 3.2 Diagram blok suatu <i>plant</i> dengan kontrol PI	21
Gambar 3.3 Diagram blok pengaturan tegangan kapasitor VDR	22
Gambar 3.4 Bode plot fungsi alih $\frac{V_C(s)}{V_C^*(s)}$ dengan $H_{PI}(s) = 1$	22
Gambar 3.5 Konfigurasi pembangkit sinyal <i>carrier</i> SPWM	24
Gambar 3.6 Konfigurasi IC TLP250	26
Gambar 3.7 Konfigurasi rangkaian <i>driver</i> MOSFET	27
Gambar 4.1 Gelombang arus input (i_i) konverter AC/DC/AC dengan kontrol <i>open loop</i> pada beban penuh	29
Gambar 4.2 Riak arus input (Δi_i) konverter	30
Gambar 4.3 Beda fasa tegangan (v_i) dan arus input (i_i) konverter AC/DC/AC dengan kontrol <i>open loop</i>	31
Gambar 4.4 Komponen pembentuk harmonisa arus input (i_i) konverter AC/DC/DC dengan kontrol <i>open loop</i>	31
Gambar 4.5 Karakteristik tegangan kapasitor (V_{C1} , V_{C2}) dan tegangan DC (V_{dc}) konverter AC/DC/AC <i>open loop</i> ..	32
Gambar 4.6 Tegangan output (v_o) konverter AC/DC/AC dengan kontrol <i>open loop</i>	33
Gambar 4.7 Karakteristik faktor daya terhadap perubahan daya output konverter AC/DC/AC kontrol <i>open loop</i>	34
Gambar 4.8 Karakteristik tegangan DC terhadap perubahan daya output konverter AC/DC/AC kontrol <i>open loop</i>	34

Gambar 4.9	Tegangan (v_i) dan arus input (i_i) konverter AC/DC/AC dengan kontrol <i>close loop</i>	35
Gambar 4.10	Riak arus input (Δi_i) beban penuh konverter AC/DC/AC dengan kontrol <i>close loop</i>	36
Gambar 4.11	Komponen harmonisa arus input (i_i) konverter AC/DC/AC dengan kontrol <i>close loop</i>	36
Gambar 4.12	Karakteristik dan riak tegangan kapasitor (ΔV_{C1} , ΔV_{C1}) dan tegangan DC (ΔV_{dc}) konverter AC/DC/AC dengan kontrol <i>close loop</i>	37
Gambar 4.13	Tegangan (v_o) dan arus output (i_o) beban penuh pada konverter AC/DC/AC dengan kontrol <i>close loop</i>	38
Gambar 4.14	Respon konverter AC/DC/AC dengan kontrol <i>close loop</i> terhadap perubahan tegangan input	38
Gambar 4.15	Karakteristik faktor daya terhadap daya output pada konverter AC/DC/AC dengan kontrol <i>close loop</i>	39
Gambar 4.16	Gelombang tegangan dan arus konverter pada mode operasi normal dan berpindah ke mode baterai	40
Gambar 4.17	Gelombang tegangan dan arus konverter pada mode baterai dan berpindah ke mode operasi normal	40
Gambar 4.18	Arus baterai (i_{bat}) pada mode baterai dan berpindah ke mode operasi normal	41
Gambar 5.1	Rangkaian osilator sinyal segitiga dan komparator	43
Gambar 5.2	Gelombang output osilator (V_s)	44
Gambar 5.3	Sinyal SPWM dan komplementernya	44
Gambar 5.4	Rangkaian <i>driver</i> MOSFET dengan <i>photocoupler</i>	45
Gambar 5.5	Gelombang tegangan <i>gate</i> ke <i>source</i> (V_{GS}) MOSFET ..	45
Gambar 5.6	Gelombang V_{GS} tanpa adanya R_2 dan R_3	46
Gambar 5.7	Implementasi rangkaian konverter AC/DC/AC	47
Gambar 5.8	Gelombang tegangan output penyearah V_{dc} dan dengan penambahan indeks modulasi M_i	47
Gambar 5.9	Tegangan dan arus output HBVSI pada beban 60%	48
Gambar 5.10	Tegangan pensaklaran MOSFET (V_{DS}) dan arusnya (I_{DS})	48
Gambar 5.11	Tegangan V_{DS} kedua MOSFET HBVSI	49
Gambar 5.12	Tegangan input, arus input, tegangan output, dan arus output konverter AC/DC/AC	50
Gambar 5.13	Kurva efisiensi konverter AC/DC/AC	50
Gambar 5.14	Spektrum harmonisa arus input	51

BAB 1

PENDAHULUAN

1.1 Latar Belakang

UPS memiliki peran penting dalam menjaga beban kritis dari gangguan-gangguan yang terjadi pada sumber tegangan grid. Beban kritis merupakan beban yang sangat sensitif terhadap gangguan dan tidak boleh kehilangan sumber listrik secara tiba-tiba. Peralatan kontrol industri, komputer desktop, alat-alat medis dan peralatan *emergency* lainnya merupakan contoh dari beban kritis [1]. *On-line* UPS sering menjadi pilihan utama, bahkan untuk beberapa aplikasi perannya tidak bisa digantikan oleh topologi UPS lainnya. Alasannya, *on-line* UPS memiliki performa yang sangat tinggi karena tidak membutuhkan waktu transisi saat perpindahan mode operasi. Selain itu, *on-line* UPS dapat bekerja pada tegangan grid dengan toleransi yang sangat tinggi serta menghasilkan tegangan output yang dapat diatur [2].

Kekurangan *on-line* UPS dibandingkan UPS topologi lain terletak pada keandalannya dan biaya investasi yang sangat mahal [2]. Berbagai macam metode terus dikembangkan untuk menekan biaya investasi dengan tetap memperhatikan kualitas tegangan output dan harmonisa yang ditimbulkan oleh komponen *switching*. Komponen pada *on-line* UPS terdiri atas *rectifier*, *boost converter*, baterai, *inverter*, *bypass switch* dan transformator isolasi [3]. Salah satu cara untuk menekan biaya investasi adalah dengan mereduksi komponen-komponen diatas dan/atau menyediakan komponen alternatif sebagai pengantinya.

Topologi UPS *on-line* dengan konverter BIFRED (*Boost Integrated Flyback Rectifier/Energy Storage DC/DC*) diperkenalkan pada paper [4]. UPS ini menggunakan transformator ferkuensi tinggi sebagai pengganti transformator isolasi pada UPS konvensional. Hasilnya, ukuran UPS menjadi lebih kecil dan yang terpenting harga transformator ini lebih murah. Dalam paper [3], topologi UPS *on-line* yang dibuat sudah tidak memerlukan transformator isolasi. UPS ini menggunakan *three-level rectifier* dan *double half-bridge inverter*. Topologi yang sama juga dibahas dalam paper [5], perbedaanya disini menggunakan *full-bridge rectifier* dan *full-bridge inverter*.

Biaya investasi pada topologi *transformerless on-line* UPS masih bisa ditekan dengan mereduksi jumlah *switch* aktif yang digunakan pada

konverter tegangan. Hal ini telah dibahas dan disimulasikan pada paper [2]. Hasilnya menunjukkan bahwa *transformerless on-line* UPS bisa dibuat dengan hanya menggunakan 5 *switch* aktif (paper [5] menggunakan 8 *switch* aktif). Desain, simulasi dan implementasi *half-bridge rectifier* dan *inverter* untuk aplikasi *on-line* UPS dibahas dalam Tugas Akhir (TA) ini.

1.2 Permasalahan

Salah satu solusi untuk mengurangi biaya investasi UPS adalah dengan mereduksi komponen fisiknya. Dalam TA ini, komponen yang direduksi adalah *switch* dan transformator. Untuk mengurangi jumlah *switch*, komponen *full-bridge converter* diganti dengan *half-bridge converter*. Alasannya, *half-bridge converter* memiliki jumlah *switch* aktif dua kali lipat lebih sedikit dibandingkan dengan *full-bridge converter*.

1.3 Batasan Masalah

Ruang lingkup yang dibahas dalam TA ini meliputi konverter AC/DC dan DC/AC dengan batasan masalah sebagai berikut:

1. Sinyal pensaklaran yang digunakan pada simulasi konverter AC/DC adalah dengan kontrol *open loop* (SPWM) dan *close loop* (kontrol PI). Sedangkan untuk konverter DC/AC hanya dengan kontrol SPWM.
2. Implementasi konverter AC/DC/AC semuanya menggunakan sinyal pensaklaran SPWM.
3. Parameter desain disesuaikan dengan kemampuan peralatan yang ada pada laboratorium.

1.4 Tujuan

Penelitian ini bertujuan untuk mendesain suatu *prototype* konverter tegangan AC/DC dan DC/AC untuk aplikasi *on-line* UPS, dimana jumlah komponen pensaklaran lebih sedikit dibandingkan dengan yang telah digunakan pada UPS konvensional.

1.5 Metodologi

Metodologi yang digunakan dalam menjalankan TA ini terbagi dalam beberapa tahap. Pertama dimulai dengan tahap desain, yakni rangkaian *half-bridge rectifier* dan *inverter* satu fasa di desain

menggunakan software. Dari desain tersebut, prinsip kerja rangkaian dianalisa dan diperbaiki konfigurasinya jika masih terdapat kesalahan. Kemudian menentukan spesifikasi komponen yang diperlukan, baik komponen aktif (*switch*) maupun komponen pasif (kapasitor, induktor, dll). Pada tahap ini juga dilakukan pemilihan strategi untuk mengontrol *switch*.

Tahap berikutnya adalah pengetesan rangkaian hasil desain. Semua nilai besaran yang telah diperoleh dari hasil perhitungan dimasukkan ke software untuk disimulasi dan kemudian hasilnya dianalisa. Jika belum memenuhi kriteria, maka hasil perhitungan dicek kembali dan diperbaiki. Kemudian diikuti dengan implementasi. Parameter yang diamati adalah tegangan input, arus input, tegangan bus DC, tegangan output dan arus output.

Untuk mengukur kualitas output digunakan alat ukur AV meter. Selain itu juga digunakan osiloskop untuk melihat gelombang arus dan tegangan baik pada sisi input maupun pada sisi output. Pengujian prototype *rectifier* dan *inverter* dilakukan dengan menghubungkan beban yang berupa resistor.

1.6 Sistematika

Dalam penulisan buku TA ini sistematika penulisan yang digunakan adalah sebagai berikut :

BAB 1 Pendahuluan

Bab ini berisi tentang penjelasan latar belakang, permasalahan, batasan masalah, tujuan, metode penelitian, sistematika penulisan, dan relevansi dari penelitian yang dilakukan untuk TA ini.

BAB 2 Teori Penunjang

Bab ini berisi tentang teori penunjang mengenai konversi tegangan AC/DC dan DC/AC, perbaikan faktor daya dan teknik pensaklaran menggunakan *Pulse Width Modulation* (PWM).

BAB 3 Perancangan dan Pemodelan

Bab ini berisi tentang uraian perencanaan dan pembuatan simulasi pemodelan untuk tiap komponen serta penentuan parameter untuk setiap komponen.

BAB 4 Analisis dan Hasil Simulasi

Bab ini berisi tentang hasil pengujian dan analisis terhadap simulasi yang dilakukan.

BAB 5 Penutup

Bab ini berisi tentang kesimpulan dan saran.

1.7 Relevansi

Hasil yang diperoleh dari TA ini diharapkan dapat memberikan manfaat sebagai berikut :

1. Sebagai pilihan alternatif untuk menggantikan fungsi *full-bridge converter* pada sistem *on-line low power* UPS.
2. Dengan menggunakan *prototype* ini, biaya investasi *on-line* UPS menjadi lebih murah dan keandalannya tinggi.
3. Dapat menjadi referensi bagi mahasiswa atau peneliti yang mengambil tema serupa.

BAB 2

STATIC UPS, VOLTAGE DOUBLER RECTIFIER, DAN VOLTAGE SOURCE INVERTER

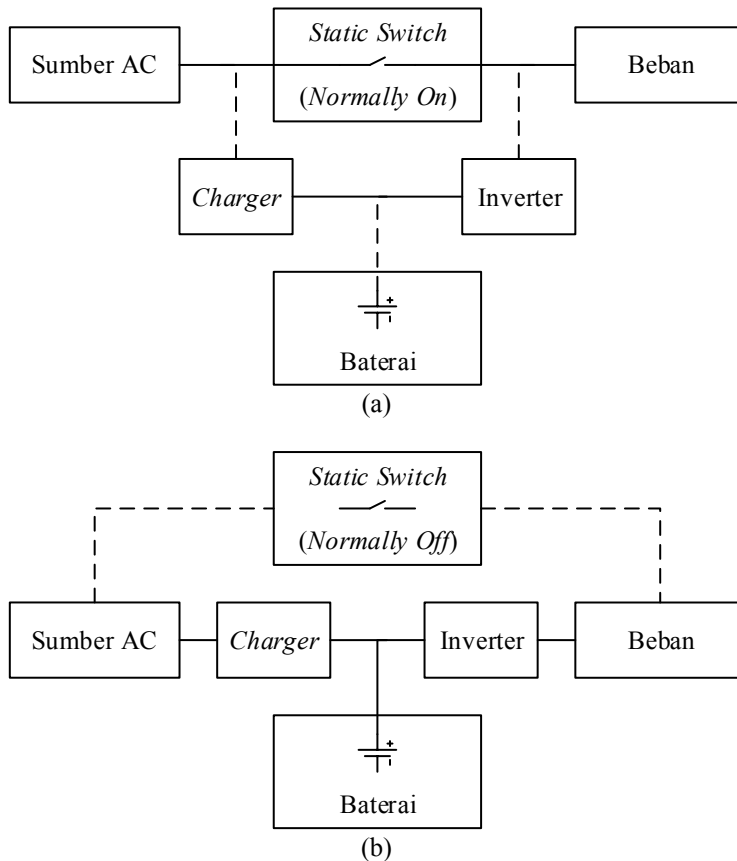
2.1 Klasifikasi *Static* UPS

UPS merupakan suplai tegangan AC yang mampu menjaga kontinuitas aliran daya agar beban terhindar dari gangguan-gangguan yang terjadi pada grid. Pada umumnya, UPS digunakan pada beban kritis yakni beban yang sensitif terhadap gangguan listrik dan tidak boleh kehilangan daya secara tiba-tiba. Jenis beban ini antara lain adalah komputer desktop, peralatan kontrol industri, dan peralatan medis. Pada beberapa aplikasi, penggunaan UPS mutlak dibutuhkan untuk menjaga kontinuitas daya peralatan tertentu.

Sebuah UPS dilengkapi dengan komponen penyimpan daya yang berfungsi sebagai *back-up* daya saat grid mengalami gangguan. Kemampuan UPS dalam menjaga kontinuitas daya terbatas oleh durasi tertentu sesuai rating dan kapasitas komponen penyimpan daya tersebut. Berdasarkan komponen yang digunakan, UPS terbagi kedalam 3 kategori, yaitu *static*, *rotary* dan *hybrid*. Komponen yang digunakan pada *static* UPS adalah komponen yang tidak bergerak seperti diode penyearah, *switch* aktif dan baterai. Sedangkan *rotary* UPS menggunakan komponen bergerak berupa motor dan *flywheel*. Topologi *hybrid* merupakan gabungan *static* dan *rotary*. *Static* UPS lebih umum digunakan karena memiliki kapasitas penyimpanan daya yang jauh lebih besar dibandingkan *flywheel*. Topologi *static* UPS terbagi 3 yaitu *standby* UPS, *on-line* UPS dan *line-interactive* UPS [1].

2.1.1 *Standby* UPS

Standby UPS, juga dikenal dengan istilah “*off-line*” UPS, terdiri dari rangkaian penyearah, baterai, inverter, filter dan *static switch*. Konfigurasi *standby* UPS tertera pada Gambar 2.1a. Penyearah hanya digunakan untuk pengisian baterai pada mode operasi normal, sedangkan inverter digunakan pada mode operasi *back-up*. Filter berfungsi untuk mengeliminasi komponen harmonisa pada tegangan output inverter akibat proses pensaklaran, umumnya digunakan jenis filter pasif LC. Antara tegangan grid dan beban terhubung oleh *static switch*. Selama tegangan grid normal, *static switch* berada dalam kondisi nyala (*normally closed*).



Gambar 2.1 Konfigurasi *standby* UPS (a) dan *on-line* UPS (b)

2.1.2 On-Line UPS

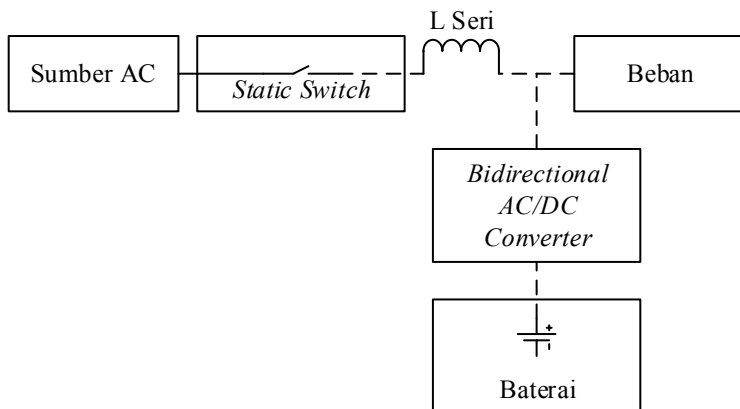
Komponen yang digunakan pada *on-line* UPS sama seperti komponen pada *standby* UPS, tetapi konfigurasinya berbeda sebagaimana yang ditunjukkan pada Gambar 2.1b. Dari sini terlihat bahwa tegangan grid, penyearah, inverter dan beban semuanya terhubung seri. Selain itu, tipe *static switch* yang digunakan adalah *normally open*. Artinya *on-line* UPS melakukan dua fungsi secara bersamaan yakni pengisian baterai dan suplai daya ke beban. Pada

mode operasi normal, penyearah dan inverter aktif sehingga topologi UPS ini sering juga disebut dengan istilah “*double conversion*” Hal ini menyebabkan *on-line* UPS tidak membutuhkan waktu transisi saat perpindahan mode operasi dari mode normal ke mode *back-up*.

Pada TA ini dibahas mengenai desain konverter tegangan AC/DC dan DC/AC pada *on-line* UPS. Topologi konverter yang digunakan adalah *Voltage Doubler Rectifier* (VDR) dan *Half-Bridge Voltage Source Inverter* (HBVSI). Topologi ini dipilih karena input dan output UPS memiliki titik netral yang sama sehingga tidak dibutuhkan trafo isolasi antar konverter. Selain itu, *switch* yang digunakan lebih sedikit dibandingkan dengan *on-line* UPS konvensional pada umumnya.

2.1.3 *Line-Interactive* UPS

UPS jenis ini dapat beroperasi baik sebagai *on-line* UPS maupun sebagai *off-line* UPS. Pada umumnya, UPS ini beroperasi sebagai *on-line* UPS karena performanya jauh lebih baik. Komponen penyusun *line-interactive* UPS diantaranya adalah *static switch*, konverter AC/DC dua arah, baterai dan filter. Pada mode normal, beban terhubung langsung dengan grid. Konverter dua arah berfungsi sebagai *charger* baterai. *Static switch* terbuka pada mode *back-up* dan fungsi *charger* berganti menjadi inverter. Konfigurasi *line-interactive* UPS ditunjukkan pada Gambar 2.2.



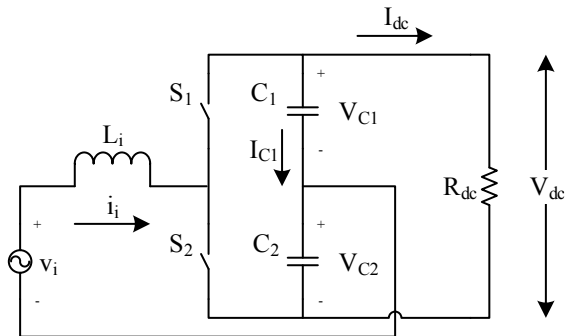
Gambar 2.2 Konfigurasi *line-interactive* UPS

2.2 Voltage Doubler Rectifier (VDR)

VDR merupakan salah satu jenis dari rangkaian *boost rectifier* karena penyearah ini mampu menghasilkan tegangan DC dengan amplitudo dua kali lipat lebih besar dibandingkan dengan penyearah konvensional. Komponen *switching* yang digunakan pada rangkaian VDR dapat berupa dioda penyearah maupun *switch* aktif seperti IGBT dan MOSFET. Penggunaan *switch* aktif pada VDR memberikan beberapa keuntungan, diantaranya perbaikan faktor daya, pengurangan harmonisa, penstabilan tegangan output dan lain-lain.

2.2.1 Topologi Rangkaian VDR

Rangkaian VDR termasuk kedalam kategori rangkaian *half-bridge* sehingga hanya diperlukan dua unit komponen *switching*. Sebuah induktor dipasang seri pada sisi input untuk mengontrol gelombang arus yang ditarik dari jala-jala. VDR juga dilengkapi dengan dua unit kapasitor untuk mengurangi tegangan riak output. Gambar 2.3 menunjukkan bahwa tegangan output yang dihasilkan VDR terbagi menjadi dua yaitu tegangan output positif (V_{C1}) dan tegangan output negatif ($-V_{C2}$). Jika sebuah beban R_{dc} dihubungkan dengan kaki positif kapasitor C_1 dan kaki negatif kapasitor C_2 maka beban tersebut mendapat suplai tegangan DC sebesar V_{dc} . Pada aplikasi *on-line UPS*, tegangan DC digunakan untuk *battery charging*.

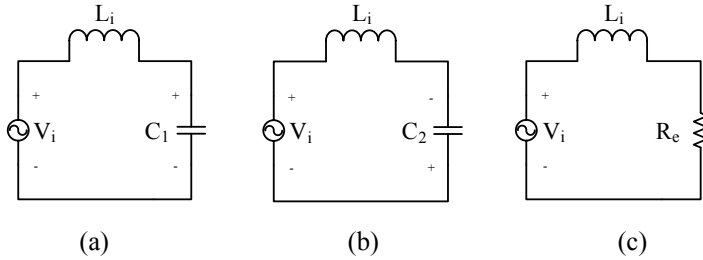


Gambar 2.3 Topologi VDR

2.2.2 Prinsip Kerja VDR

Rangkaian VDR memanfaatkan proses *charging/discharging* masing-masing kapasitor DC secara bergantian. Ketika tegangan input

berada dalam siklus positif ($v_i > 0$), sebagian energi yang tersimpan dalam kapasitor C_2 ditransfer ke kapasitor C_1 sehingga amplitudo tegangan V_{C1} lebih besar daripada amplitudo tegangan V_{C2} . Kebalikan dari proses ini terjadi pada saat tegangan input berada dalam siklus negatif ($v_i < 0$). Proses *charging/discharging* kapasitor DC ini melibatkan induktor input (L_i) dengan bantuan komponen *switching* yang bekerja secara komplementer. Dengan demikian, rangkaian VDR dapat dipisahkan menjadi dua rangkaian ekuivalen seperti yang ditunjukkan pada Gambar 2.4.



Gambar 2.4 Rangkaian ekuivalen VDR saat S_1 aktif (a) dan S_2 aktif (b) serta resistansi input efektif (R_e)

Kita dapat mengamati bahwa C_1 mengalami proses *charging* saat v_i bernilai positif, sedangkan C_2 mengalami proses *discharging* pada kondisi yang sama. Selanjutnya saat v_i bernilai negatif, maka C_1 mengalami proses *discharging* dan C_2 mengalami proses *charging*. Jika *switch* S_2 mengalami konduksi selama DT_s , dimana D merupakan *duty cycle* dalam satu periode *switching* T_s , maka persamaan matematis rangkaian VDR dapat dijabarkan sebagai berikut:

$$L_i di_i = (v_i + V_{C2}) \times DT_s \quad (2.1)$$

Switch S_1 mengalami konduksi dengan *duty cycle* $(1-D)$ sehingga

$$L_i di_i = -(v_i - V_{C1}) \times (1 - D)T_s \quad (2.2)$$

Kedua persamaan diatas dapat di sederhanakan menjadi

$$v_i = V_{C1} - D(V_{C1} + V_{C2}) \quad (2.3)$$

2.3 Teknik Pensaklaran VDR dengan Kontrol PI

Faktor utama yang harus diperhatikan dalam mendesain sebuah VDR adalah bagaimana menjaga kesetimbangan tegangan output pada masing-masing kapasitor bus DC ($V_{C1} = V_{C2}$). Selain itu, VDR merupakan salah satu jenis konverter tegangan yang memungkinkan beroperasi pada kondisi *unity power factor*. Caranya adalah dengan mengontrol arus input agar proporsional terhadap tegangan input. Dalam sub-bab ini dibahas mengenai teknik pensaklaran VDR dengan memperhatikan faktor daya dan kesetimbangan tegangan bus DC.

2.3.1 Permodelan Kontroler

Salah satu strategi kontrol pensaklaran yang memenuhi dua hal diatas adalah dengan mengatur resistansi efektif input (R_e), seperti yang ditunjukkan pada Gambar 2.4c. Pada beberapa penyearah UPFC (*Unity Power Factor Converter*) berbasis kontrol PI, nilai R_e diatur oleh output kontroler PI (V_m) tersebut [6]. Hubungan arus input (i_i), R_e dan V_m dinyatakan pada persamaan (2.4) dan (2.5), dimana R_s adalah sensitivitas sensor arus input dan V_{dc} adalah tegangan output penyearah.

$$i_i = \frac{v_i}{R_e} \quad (2.4)$$

$$V_m = \frac{V_{dc} R_s}{R_e} \quad (2.5)$$

Pada rangkaian VDR, tegangan output yang dikontrol ada 2 yaitu V_{C1} dan V_{C2} . Kontroler yang dibahas pada TA ini dikembangkan dari prinsip kontroler UPFC diatas. Dua unit kontroler PI dengan gain dan parameter yang sama digunakan masing-masing untuk mengontrol nilai R_e . Jika kedua kontroler PI ini mempunyai tegangan output masing-masing V_{m1} dan V_{m2} , maka diperoleh persamaan sebagai berikut:

$$V_{m1} = \frac{V_{C1} R_s}{R_e} \quad (2.6)$$

$$V_{m2} = \frac{V_{C2} R_s}{R_e} \quad (2.7)$$

Persamaan untuk kontrol VDR dapat diturunkan dengan menggunakan persamaan (2.3), (2.4), (2.6) dan (2.7) sehingga diperoleh:

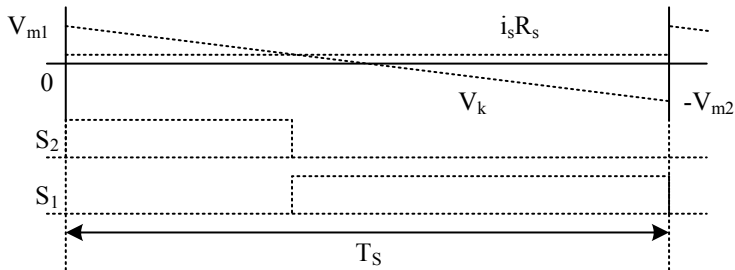
$$i_i R_s = V_{m1} - D(V_{m1} + V_{m2}) \quad (2.8)$$

2.3.2 Pembangkitan Sinyal Pensaklaran

Sinyal pensaklaran dibangkitkan dengan membandingkan sinyal *carrier* (v_k) terhadap sinyal arus input ($i_i R_s$) menggunakan komparator. Sinyal *carrier* dibentuk berdasarkan (2.8), dimana nilai *duty cycle* pada persamaan tersebut digantikan dengan t/T_s seperti yang ditunjukkan pada (2.9). Sinyal ini dibangkitkan oleh rangkaian reset integrator.

$$v_k(t) = V_{m1} - \frac{(V_{m1} + V_{m2})t}{T_s}; \quad 0 < t < T_s \quad (2.9)$$

Dari persamaan ini dapat diamati bahwa $v_k(0) = V_{m1}$, $v_k(DT_s) = i_i R_s$ dan $v_k(T_s) = -V_{m2}$. Jika amplitudo sinyal referensi ($i_s R_s$) lebih kecil daripada amplitudo sinyal *carrier* (v_k), maka sinyal output komparator bernilai *high* untuk $t < DT_s$ dan *low* untuk $t > DT_s$. Output komparator ini digunakan langsung untuk mengaktifkan *switch* S_2 dan negasinya mengaktifkan *switch* S_1 .

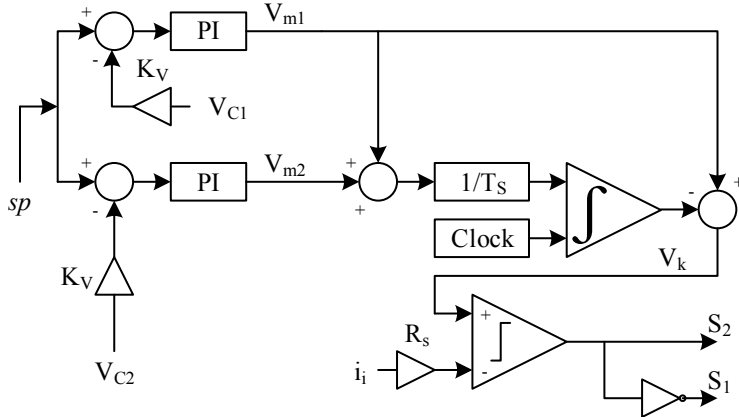


Gambar 2.5 Pembangkitan sinyal pensaklaran

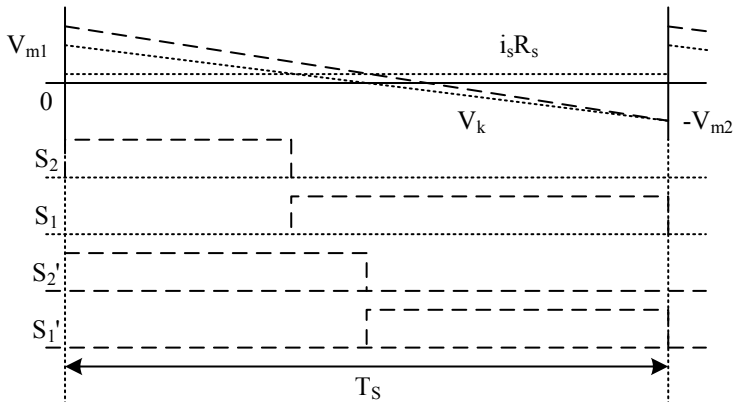
2.3.3 Konfigurasi Kontroler

Konfigurasi kontroler VDR tertera pada Gambar 2.6. Dari sini terlihat bahwa *setpoint* tegangan pada tiap kapasitor adalah setengah kali

tegangan bus DC (V_{dc}) yang diinginkan. Output dari kedua kontroler PI dijumlahkan kemudian dikalikan dengan frekuensi *switching*. Setelah itu, sinyal ini di integralkan dengan frekuensi reset sama dengan frekuensi *switching* sehingga diperoleh sinyal *jigsaw* dengan amplitudo ($V_{m1} + V_{m2}$). Didepan integrator terdapat *subtraktor* sehingga diperoleh sinyal *carrier* dengan nilai puncak V_{m1} dan $-V_{m2}$.



Gambar 2.6 Konfigurasi kontroler penyearah



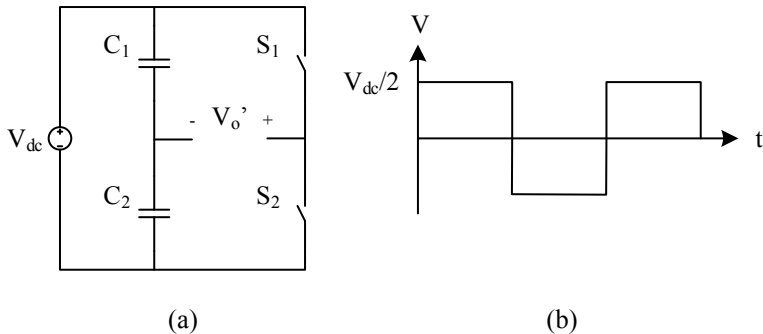
Gambar 2.7 Perubahan *duty cycle* modulator

2.3.4 Penstabilan Tegangan DC

Dua unit kapasitor DC pada rangkaian VDR mengalami proses *charging/discharging* secara bergantian sehingga memungkinkan terjadinya *unbalance voltage* ($V_{C1} \neq V_{C2}$). Peristiwa ini dicegah oleh kontrol PI dengan mengubah sinyal *carrier*. Gambar 2.7 menunjukkan perubahan sinyal *carrier* akibat *unbalance voltage* yang muncul karena tegangan kapasitor V_{C1} berada dibawah *setpoint*. Perubahan sinyal *carrier* ini menyebabkan nilai *duty cycle* meningkat. Hal ini berarti switch S_2 mengalami konduksi dalam durasi yang lebih lama sehingga sebagian energi yang tersimpan pada kapasitor C_2 di transfer ke kapasitor C_1 sampai level tegangan V_{C1} mencapai tegangan referensi.

2.4 Voltage Source Inverter (VSI)

Inverter berfungsi untuk mengkonversi tegangan atau arus DC menjadi AC. Berdasarkan jenis inputnya, inverter terbagi kedalam dua kategori yaitu *voltage source inverter* (VSI) dan *current source inverter* (CSI). VSI menggunakan input tegangan DC sedangkan CSI menggunakan input arus DC. VSI praktis digunakan pada aplikasi yang membutuhkan pengaturan tegangan output sedangkan CSI digunakan pada aplikasi yang membutuhkan pengaturan arus output [1]. Dalam buku ini hanya dijabarkan tentang *half-bridge* VSI.



Gambar 2.8 *Half-bridge* VSI (a) dan gelombang outputnya (b)

2.4.1 Half-Bridge VSI

Voltage Source Inverter terbagi kedalam dua topologi, yaitu *half-bridge* dan *full-bridge* VSI. Rangkaian *half-bridge* VSI terdiri dari

sumber DC dan dua unit kapasitor dan *switch* seperti yang ditunjukkan pada Gambar 2.8a. Kapasitor membagi tegangan input DC menjadi setengah kalinya. Selama *switch* S_1 aktif, output bernilai $V_{dc}/2$. Sebaliknya, tegangan output bernilai $-V_{dc}/2$ ketika *switch* S_2 konduksi. Jika kedua *switch* dinyalakan secara bergantian, maka diperoleh output berupa tegangan AC diskrit dengan amplitudo sebesar $V_{dc}/2$.

Bentuk gelombang tegangan output *half-bridge* VSI ditentukan oleh teknik pensaklarannya. Gambar 2.8b diperoleh dengan menerapkan teknik *square-wave*, yaitu setiap *switch* mengalami konduksi pada durasi yang setara. Berdasarkan Gambar 2.8b tersebut, nilai efektif tegangan output dapat dihitung sebagai berikut:

$$V_{rms} = \sqrt{\frac{1}{T} \int_0^T \left(\frac{V_{dc}}{2}\right)^2 dt} = \frac{V_{dc}}{2} \quad (2.10)$$

Tegangan output sesaat dapat dinyatakan dalam bentuk deret Fourier

$$V_o' = \sum_{n=1,3,5,\dots}^{\infty} \frac{2V_{dc}}{n\pi} \sin n\omega t \quad (2.11)$$

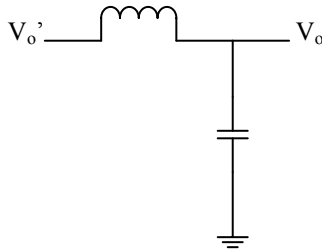
Jika beban yang terhubung pada VSI berupa beban resistif murni, maka bentuk gelombang arus output mengikuti gelombang tegangan output sehingga nilai arus ini bisa dihitung dengan membandingkan nilai tegangan output terhadap resistansi beban. Namun jika beban mengandung komponen induktif, maka arus output tidak mampu seketika mengikuti perubahan tegangan output karena adanya efek *current charging/discharging* pada induktor. Arus ini memaksa *switch* mengalami konduksi pada durasi yang lebih lama. Bentuk deret Fourier arus output inverter dengan beban resistif induktif dinyatakan dalam:

$$I_o' = \sum_{n=1,3,5,\dots}^{\infty} \frac{2V_{dc}}{n\pi\sqrt{R^2 + (n\omega L)^2}} \sin(n\omega t - \theta_n) \quad (2.12)$$

$$\theta_n = \tan^{-1} \frac{n\omega L}{R} \quad (2.13)$$

2.4.2 Filter LC

Inverter di desain dengan tujuan agar mampu menyuplai beban AC dengan sumber tegangan DC. Praktis tegangan AC yang di butuhkan oleh beban ini merupakan tegangan berbentuk sinusoidal dengan frekuensi 50 Hz atau 60 Hz. Namun, tegangan output yang dihasilkan VSI berbentuk gelombang diskrit. Hal ini dapat diatasi dengan menambahkan filter LC pada tegangan output VSI. Konfigurasi filter LC ditunjukkan pada Gambar 2.9.



Gambar 2.9 Rangkaian filter LC

Filter LC dengan konfigurasi seperti ini melewati semua gelombang dengan frekuensi lebih kecil daripada frekuensi *cut-off* (f_c). Pada aplikasi VSI, filter LC digunakan untuk meredam frekuensi *switching* sehingga tegangan output yang dihasilkan dominan pada frekuensi fundamental. Nilai frekuensi *cut-off* ditentukan oleh kombinasi induktor dan kapasitor dengan hubungan sebagai berikut:

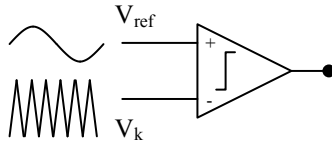
$$f_c = \frac{1}{2\pi\sqrt{LC}} \quad (2.14)$$

2.4.3 Sinusoidal Pulse Width Modulation (SPWM)

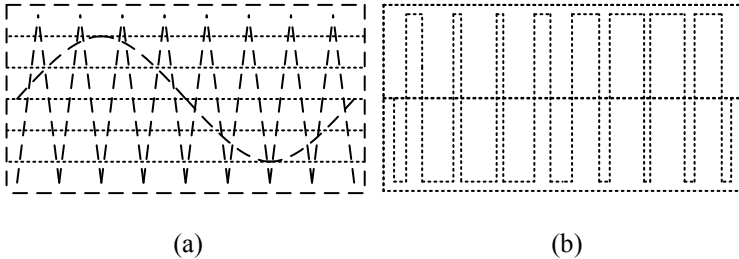
Berdasarkan jenis sinyal referensi dan sinyal *carrier*, terdapat tiga macam metode PWM yang bisa di terapkan pada *half-bridge* VSI yaitu *single*-PWM, *multiple*-PWM dan *sinusoidal*-PWM (SPWM). Setiap metode berpengaruh pada variasi parameter input dan output VSI. Parameter tersebut adalah tegangan input DC, tegangan output AC dan rasio volt/frekuensi.

Pada umumnya, metode *switching* SPWM lebih sering digunakan dibandingkan *single*-PWM dan *multiple*-PWM. Rangkaian kontrol

SPWM terdiri atas sinyal referensi berbentuk sinusoidal, sinyal *carrier* dan komparator seperti yang ditunjukkan pada Gambar 2.10. Hasil komparasi kedua sinyal ini ditunjukkan pada Gambar 2.11.



Gambar 2.10 Konfigurasi SPWM



Gambar 2.11 Gelombang input (a) dan output SPWM (b)

Variasi pulsa yang dihasilkan komparator ditentukan oleh rasio amplitudo sinyal referensi terhadap amplitudo sinyal *carrier*. Rasio ini disebut dengan indeks modulasi (M_i). Jika *half-bridge* VSI diberi input V_{dc} dan diterapkan *switching* SPWM dengan frekuensi sinyal referensi f_o , maka diperoleh tegangan output fundamental sebagai berikut:

$$v'_{o1}(t) = V_{dc} M_i \sin(2\pi f_o t) \quad (2.15)$$

BAB 3

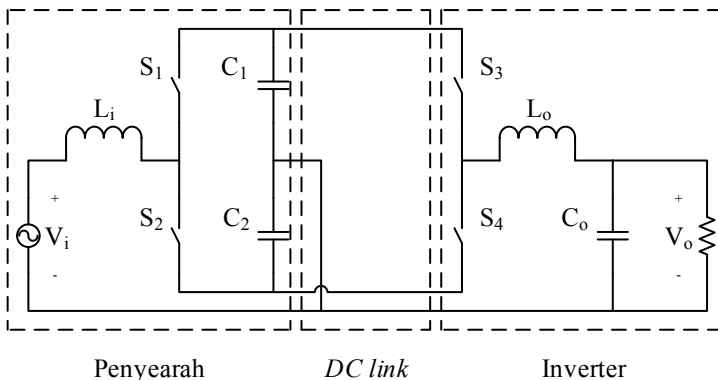
DESAIN VDR DAN *HALF-BRIDGE* VSI SATU FASA UNTUK APLIKASI *ON-LINE* UPS

3.1 Desain Konverter

Topologi *on-line* UPS juga dikenal dengan sebutan topologi “*double conversion*”. Alasannya, pada kondisi normal terjadi dua kali konversi tegangan yakni dari AC ke DC dan dikonversi kembali menjadi AC. Dengan topologi seperti ini, UPS tidak membutuhkan waktu transisi saat perpindahan dari mode normal ke mode *back-up*. Pada aplikasi *on-line* UPS yang dibahas dalam buku ini, konverter AC/DC/AC disusun dari rangkaian penyearah dan inverter tipe *half-bridge* terpasang seri.

3.1.1 Konfigurasi Sistem

Konverter AC/DC/AC terdiri dari rangkaian VDR dan *half-bridge* VSI yang disusun seri. Prinsip kerja keduanya telah diuraikan pada Bab 2. Rating tegangan output didesain sama dengan rating tegangan input. Gambar 3.1 memuat konfigurasi rangkaian konverter AC/DC/AC.



Gambar 3.1 Konfigurasi konverter AC/DC/AC

Input konverter merupakan sumber tegangan AC sinusoidal dengan frekuensi 50 Hz. Induktor L_i berfungsi sebagai filter arus input. Kapasitor C_1 dan C_2 berpengaruh pada nilai *ripple* tegangan *DC link*.

Dua komponen pasif lainnya pada sisi output L_o dan C_o berfungsi sebagai filter LC.

3.1.2 Parameter Input Output

Input konverter AC/DC/AC di ambil dari sumber tegangan jala-jala (grid). Standar tegangan ini pada umumnya adalah 110 atau 220 V dengan frekuensi 50 atau 60 Hz. Nilai tegangan pada masing-masing kapasitor *voltage doubler rectifier* harus lebih besar daripada amplitudo tegangan input agar arus input penyearah dapat dikontrol. Dalam TA ini, nilai tegangan input yang digunakan disesuaikan dengan kemampuan peralatan laboratorium. Frekuensi input di sesuaikan dengan frekuensi tegangan grid, yaitu 50 Hz. Ringkasan parameter input output konverter AC/DC/AC ini disajikan pada Tabel 3.1.

Tabel 3.1 Parameter input ouput konverter AC/DC/AC

Parameter	Nilai	Satuan
Daya output	50	W
Tegangan input	12	V
Arus input maksimum	5	A
Tegangan bus DC	48	V
Tegangan output	12	V
Frekuensi input dan output	50	Hz

3.1.3 Desain VDR

Pensaklaran VDR menyebabkan gelombang arus input yang ditarik dari jala-jala mengalami distorsi. Tingkat distorsi suatu gelombang dinyatakan dalam nilai THD (*Total Harmonic Distortion*). Gelombang sinusoidal ideal tidak memiliki komponen harmonisa. THD arus input VDR dapat dikompensasi dengan membatasi nilai riaknya melalui pemilihan induktor yang tepat. Hubungan antara riak arus input dengan induktansi induktor tersebut diperoleh dari persamaan 2.1 yaitu:

$$\Delta i_i = \left(\frac{v_i + V_{C2}}{L_i} \right) DT_s \quad (3.1)$$

Persamaan 2.3 memberikan hubungan antara D dengan M_i

$$D = 0.5(1 - v_i/V_{C2}) = 0.5(1 - M_i \sin \omega t) \quad (3.2)$$

Dari kedua persamaan diatas diperoleh

$$\Delta i_i = \frac{V_{C2}T_S}{2L_i} [1 - (M_i \sin \omega t)^2] \quad (3.3)$$

$$\Delta i_{i \max} = \frac{V_{C2}T_S}{2L_i} \quad (3.4)$$

Persamaan untuk mencari induktansi induktor VDR adalah

$$L_i = \frac{V_{C2}T_S}{2I_{i \max}(\Delta i_{i \max}/I_{i \max})} = \frac{V_{C2}^2 M_i}{4P_o f_s (\Delta i_{i \max}/I_{i \max})} \quad (3.5)$$

Kapasitor DC pada VDR berhubungan erat dengan riak tegangan output. Tegangan riak ini muncul akibat proses *charging/discharging* kapasitor dan proses pensaklaran. Dalam pemilihan kapasitor DC, hanya komponen gelombang berfrekuensi rendah saja yang diperhatikan sehingga tegangan riak akibat proses pensaklaran dapat diabaikan. Berdasarkan hukum Kirchoff, arus yang melewati kapasitor C_1 pada rangkaian VDR adalah:

$$I_{C1} = (1 - D)i_i - I_{dc} \quad (3.6)$$

Jika transfer daya dianggap ideal ($P_i = P_o$) dan VDR beroperasi pada kondisi *unity power factor*, maka M_i dapat didefinisikan sebagai

$$M_i = \frac{4I_{dc}}{I_{i \max}} \quad (3.7)$$

Dari persamaan (3.6) dan (3.7) diperoleh

$$I_{C1} = I_{dc} \left(\frac{2}{M_i} \sin \omega t - \cos 2\omega t \right) \quad (3.8)$$

Sudut *zero crossing* θ_1 dan θ_2 didefinisikan sebagai

$$\theta_1 = \sin^{-1} \left[\frac{1}{2M_i} \left(\sqrt{1 + 2M_i^2} - 1 \right) \right] \quad (3.9)$$

$$\theta_2 = 180^\circ - \theta_1 \quad (3.10)$$

Tegangan riak pada kapasitor C_1 adalah

$$\Delta V_{C1} = \frac{1}{\omega C_1} \int_{\theta_1}^{\theta_2} I_{C1} d\omega t \quad (3.11)$$

Dengan demikian, kapasitansi kapasitor DC yang dibutuhkan adalah

$$C_1 = \frac{P_o}{4\pi V_C^2 f_i (\Delta V_{C1}/V_{C1})} \left(\frac{4}{M_i} \cos \theta_1 + \sin 2\theta_1 \right) \quad (3.12)$$

Parameter hasil desain VDR disajikan pada Tabel 3.2.

Tabel 3.2 Parameter hasil desain VDR

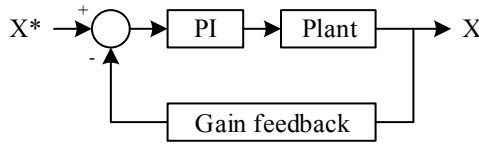
Parameter	Nilai	Satuan
Daya output	50	W
Tegangan input	12	V
Arus input maksimum	6.5	A
Riak arus input	32	%
Tegangan kapasitor	24	V
Riak tegangan kapasitor	8.5	%
Frekuensi input	50	Hz
Frekuensi pensaklaran	10	kHz
Induktansi inductor input	640	μ H
Kapasitansi kapasitor DC	10000	μ F

3.1.4 Desain Kontrol PI

Kontrol PI merupakan kontrol yang aksinya bersifat proporsional dan integral terhadap sinyal error. Kontrol ini memiliki dua konstanta gain, yaitu konstanta gain proporsional (K_p) dan konstanta gain integral (K_i). Kedua gain ini memiliki batasan nilai tertentu untuk setiap sistem yang dikontrol. Nilai gain proporsional yang terlalu tinggi dapat menyebabkan sistem tidak akan mencapai kondisi *steady state*, namun jika nilainya terlalu rendah maka output sistem akan berada jauh dibawah nilai yang diharapkan (*setpoint*). Pemilihan gain integral yang

tidak tepat dapat menimbulkan riak pada keluaran sistem dan/atau sistem terlalu lama mencapai kondisi *steady state*.

Dalam TA ini, pemilihan nilai K_p dan K_i menggunakan metode analisa *bode plot*. Secara umum, diagram blok suatu *plant* yang dikontrol menggunakan kontrol PI ditunjukkan pada Gambar 3.2. Harga X^* merupakan nilai yang diharapkan atau disebut juga dengan *setpoint*, sedangkan X merupakan nilai aktual. Selisih antara nilai X^* dengan X dikompensasi oleh kontrol PI sehingga mencapai kondisi *zero offset* yakni $X^* = X$.



Gambar 3.2 Diagram blok suatu *plant* dengan kontrol PI

Suatu *plant* yang akan dianalisa dengan metode *bode plot* terlebih dahulu dimodelkan kedalam fungsi dengan domain frekuensi. Bentuk fungsi ini disebut sebagai fungsi alih (*transfer function*). Pada rangkaian VDR ini, parameter yang akan dikontrol adalah tegangan kapasitor DC (V_C). Adapun fungsi alihnya ditunjukkan pada persamaan (3.13) sedangkan paramaternya dihitung menggunakan persamaan (3.14), (3.15) dan (3.16). Fungsi indeks modulasi didefinisikan $m_i = M_i \sin \omega t$.

$$H_{VDR}(s) = \frac{K}{1 + \frac{s}{Q\omega_n} + \frac{s^2}{\omega_n^2}} \quad (3.13)$$

$$K = \frac{\frac{R_{dc}(1 + m_i)^2}{8R_s}}{1 + \left(\frac{1 + m_i}{M_i}\right)^2} \quad (3.14)$$

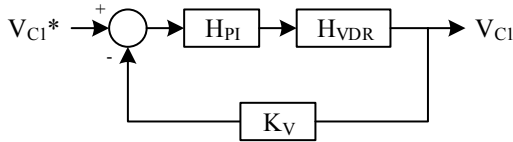
$$\omega_n = \sqrt{\frac{M_i^2 + (1 + m_i)^2}{4L_i C_1}} \quad (3.15)$$

$$Q = \frac{4\omega_n}{\frac{R_{dc}M_i^2}{2L_i} + \frac{8}{R_{dc}C_1}} \quad (3.16)$$

Secara umum, fungsi alih kontrol PI adalah

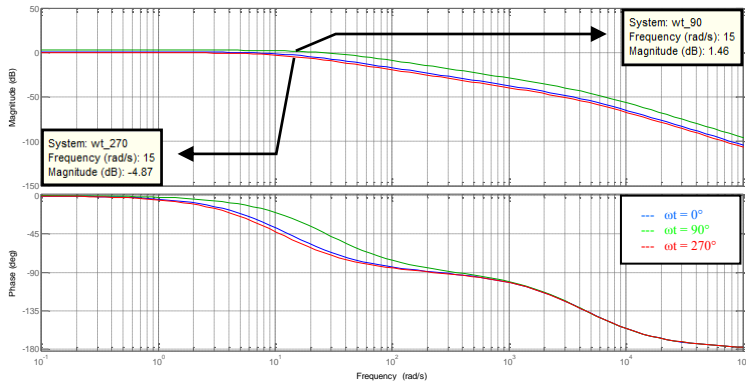
$$H_{PI}(s) = K_p + \frac{K_i}{s} \quad (3.17)$$

Berdasarkan persamaan (3.17), diagram blok pengaturan tegangan kapasitor VDR dengan kontrol PI digambarkan sebagai berikut:



Gambar 3.3 Diagram blok pengaturan tegangan pada kapasitor VDR

Jika fungsi alih PI diabaikan ($H_{PI}(s) = 1$), gain sensor tegangan $K_V = 0.1$, sensitivitas sensor arus $R_s = 0.18$ dan resistansi bus DC $R_{dc} = 46.08 \, \Omega$, maka *bode plot* diagram blok ini dapat digambarkan:



Gambar 3.4 Bode plot fungsi alih $\frac{V_C(s)}{V_C^*(s)}$ dengan $H_{PI}(s) = 1$

Parameter fungsi alih $H_{VDR}(s)$ dipengaruhi oleh fungsi indeks modulasi $m_i(\omega t) = M_i \sin(\omega t)$. Diagram *bode* diatas memuat fungsi alih pada tiga kondisi yaitu saat $m_i = 1$, $m_i = 0$ dan $m_i = -1$. Dari diagram *bode* tersebut terlihat bahwa *low frequency pole* berkisar pada harga 15 rad/s dengan magnitudo -4.87 dB hingga 1.46 dB. Gain proporsional kontrol PI dipilih sedemikain sehingga magnitudo sistem sama dengan atau mendekati 0 dB. Dengan demikian nilai K_p dapat di *tuning* pada interval berikut:

$$K_{p \min} = 10^{\frac{-1.46}{20}} = 0.86 \text{ sampai dengan } K_{p \max} = 10^{\frac{4.87}{20}} = 1.75.$$

Gain proporsional kontrol PI yang dipilih adalah $K_p = 1.30$ sehingga

$$K_i = 1.3 \times 15 = 19.5$$

3.1.5 Desain Filter LC

Frekuensi pensaklaran *half-bridge* VSI yang digunakan sama dengan frekuensi pensaklaran VDR yakni 10 kHz. Hal ini berarti desain filter LC harus menghasilkan frekuensi *cut-off* dibawah 10 kHz. Harmonisa yang muncul pada tegangan output VSI tidak selalu disebabkan oleh proses pensaklaran sehingga memungkinkan adanya komponen harmonisa lain pada frekuensi yang lebih rendah. Filter LC yang dibahas pada TA ini didesain untuk menyaring semua harmonisa mulai dari komponen frekuensi 1.3 kHz.

Persamaan (2.14) memberikan kombinasi nilai L_o dan C_o yang dibutuhkan untuk membuat filter LC dengan frekuensi *cut-off* 1.3 kHz, yaitu:

$$L_o C_o = \left(\frac{1}{2\pi f_c} \right)^2 = \left(\frac{1}{2\pi \times 260} \right)^2 = 3.75 \times 10^{-7}$$

Jika kapasitor yang digunakan pada desain ini berkapasitas 15 μF , maka dibutuhkan induktor dengan induktansi sebesar 1 mH. Jenis inti induktor yang digunakan adalah toroid dengan bahan dasar *ferrit*. Toroid ini memiliki indeks induktansi (A_L) sebesar 75 nH/belitan². Hubungan induktansi dengan jumlah belitan dinyatakan dalam persamaan berikut:

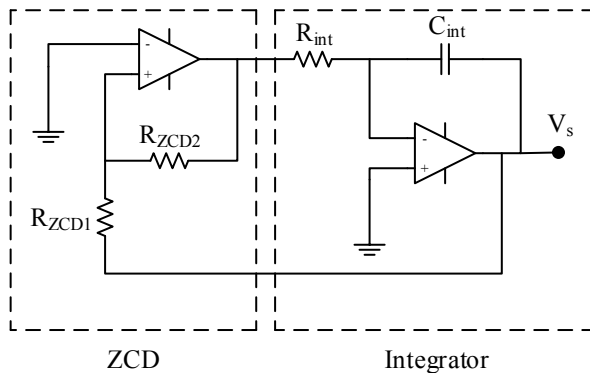
$$L = N^2 A_L \quad (nH) \quad (3.18)$$

3.2 Desain Sinyal SPWM

Implementasi konverter AC/DC/AC pada TA ini tidak memperhatikan *power factor* sehingga pensaklaran VDR cukup di kontrol dengan metode SPWM tanpa menggunakan PI. Pada Bab 2 telah diuraikan bahwa suatu sinyal SPWM dibentuk dengan membandingkan sinyal *carrier* dengan sinyal sinusoidal sebagai referensi. Bentuk gelombang sinyal *carrier* yang digunakan pada SPWM pada umumnya adalah berupa segitiga atau *jigsaw* berfrekuensi tinggi. Dalam TA ini, sinyal *carrier* yang digunakan adalah sinyal segitiga dengan *duty cycle* 50% dan frekuensi 10 kHz.

3.2.1 Generator Sinyal Segitiga

Sinyal segitiga dengan *fixed duty cycle* dapat dibangkitkan menggunakan dua unit *operational amplifier* (op-amp) yang bekerja sebagai osilator. Konfigurasi rangkaian ini ditunjukkan pada Gambar 3.5. Rangkaian op-amp pertama merupakan rangkaian *zero crossing detector* (ZCD). Apabila input positif op-amp lebih besar dari nol maka outputnya bernilai positif. Begitu juga sebaliknya, output op-amp bernilai negative ketika input positif lebih kecil dari nol. Rangkaian op-amp kedua berperan sebagai integrator tegangan output ZCD. Output integrator dijadikan sebagai input ZCD dan output ZCD dijadikan sebagai input integrator. Akibatnya, ZCD menghasilkan output berupa sinyal AC berbentuk kotak yang kemudian diubah menjadi sinyal AC berbentuk segitiga oleh rangkaian integrator.



Gambar 3.5 Konfigurasi pembangkit sinyal *carrier* SPWM

Amplitudo sinyal output dipengaruhi oleh tegangan saturasi op-amp dan resistansi resistor pada rangkaian ZCD yakni R_2 dan R_3 . Jika tegangan saturasi op-amp dibuat konstan maka amplitudo sinyal output dapat ditentukan berdasarkan rasio resistor ZCD dengan menggunakan persamaan berikut:

$$V_s \text{ (peak-to-peak)} = \frac{2R_{ZCD1}V_{sat}}{R_{ZCD2}} \quad (3.19)$$

$$V_{sat} = 0.9V_{cc} \quad (3.20)$$

Frekuensi sinyal diatur berdasarkan resistansi R_{int}

$$f_o = \frac{R_{ZCD2}}{4R_{int}R_{ZCD1}C_{int}} \quad (3.21)$$

Amplitudo output yang diinginkan adalah 3 V dengan tegangan suplai op-amp (V_{cc}) 7 V sehingga rasio yang dibutuhkan adalah

$$6 = \frac{2R_{ZCD1}(0.9 \times 7)}{R_{ZCD2}} \Rightarrow R_{ZCD2} = 2R_{ZCD1}$$

Frekuensi sinyal 10 kHz sehingga kombinasi resistor dan kapasitor

$$1 \times 10^4 = \frac{2R_{ZCD1}}{4R_{int}R_{ZCD1}C_{int}} \Rightarrow R_{int}C_{int} = 5 \times 10^{-5}$$

Ringkasan parameter generator sinyal *carrier* disajikan pada Tabel 3.3.

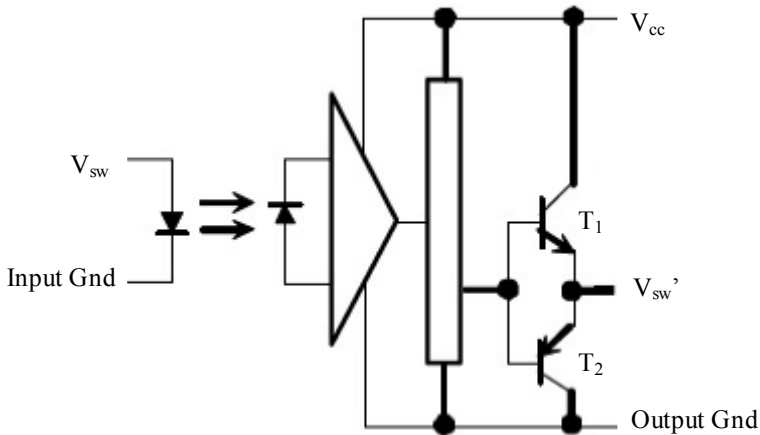
Tabel 3.3 Parameter generator sinyal *carrier*

Parameter	Nilai	Satuan
Tegangan suplai (V_{cc})	7	V
Amplitudo sinyal V_s	3	V
Frekuensi sinyal V_s	5	A
Kapasitansi integrator (C_{int})	100	nF
Resistansi integrator (R_{int})	500	Ω
Resistansi R_{ZCD1}	10	k Ω
Resistansi R_{ZCD2}	20	k Ω

3.2.2 Generator Deadtime

Komponen *switching* pada rangkaian VDR dan HBVSI beroperasi secara bergantian (komplementer). *Switch* ini tidak boleh mengalami konduksi pada waktu yang bersamaan karena dapat menyebabkan hubung singkat. Pada aplikasinya, komponen *switching* memiliki delay beberapa mikrodetik dalam merespons sinyal pensaklaran. Rangkaian *deadtime* berfungsi menambah interval delay antara sinyal orisinil dengan sinyal komplementer sehingga hubung singkat akibat keterlambatan respon komponen *switching* dapat dihindari.

Pada TA ini, *deadtime* diatur menggunakan mikrokontroler ATMEGA8A. Sinyal SPWM dijadikan *external interrupt* sebagai referensi untuk menghasilkan dua sinyal SPWM baru dimana salah satunya sesuai dengan sinyal orisinil dan yang lainnya merupakan sinyal komplementer. Naskah pemrograman dalam Bahasa C yang ditulis pada ATMEGA8A tertera pada halaman lampiran.

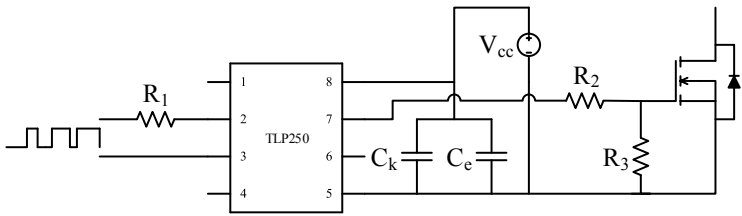


Gambar 3.6 Konfigurasi IC TLP250

3.2.3 Penguat Photocoupler

Komponen *switching* yang digunakan pada desain ini adalah MOSFET (*Metal–Oxide–Semiconductor Field-Effect Transistor*) dengan seri IRFP460. Sinyal SPWM yang dihasilkan mikrokontroler

ATMEGA8A tidak bisa digunakan langsung untuk mengaktifkan komponen ini karena titik netral antar *switch* harus terpisah, begitu juga titik netral antara *switch* dengan rangkaian utama dan rangkaian pensaklaran. Hal ini bisa diterapkan menggunakan rangkaian penguat dimana titik netral input dan outputnya terpisah.



Gambar 3.7 Konfigurasi rangkaian *driver* MOSFET

Penguat *photocoupler* merupakan salah satu aplikasi rangkaian penguat dengan titik netral input dan output terpisah. Rangkaian *photocoupler* dapat ditemukan misalnya pada IC TLP250. Konfigurasi IC ini ditunjukkan pada Gambar 3.6. LED pada sisi input akan menyala jika dilewati arus sekitar 7 mA dan menyebabkan transistor T_1 konduksi sehingga V'_{sw} dan V_{cc} berada pada satu *node*. Ketika LED mati, transistor T_2 konduksi sehingga *node* V'_{sw} berada pada titik netral output. Dengan demikian, IC ini dapat menghasilkan sinyal pensaklaran dengan *duty cycle* dan frekuensi yang sama namun amplitudonya dapat diatur berdasarkan tegangan suplai V_{cc} .

Tabel 3.4 Parameter rangkaian *driver* MOSFET

Parameter	Nilai	Satuan
Tegangan suplai (V_{cc})	18	V
Kapasitansi C_k (keramik)	100	nF
Kapasitansi C_e (elko)	100	μ F
Resistansi R_1	470	Ω
Resistansi R_2	100	Ω
Resistansi R_3	100	k Ω

Tegangan output ATMEGA8A bernilai sekitar 4.7 – 5 V pada kondisi *high* dan bernilai 0 – 200 mV pada kondisi *low*. Jika tegangan ini langsung dihubungkan dengan input TLP250 maka arus yang masuk

akan sangat besar karena resistansi LED sangat kecil. Arus maksimum yang diizinkan mengalir pada LED adalah 20 mA. Dengan demikian, diperlukan sebuah resistor seri dengan ukuran tertentu untuk membatasi arus ini. Pada sisi output juga diperlukan sebuah resistor seri untuk membatasi arus tinggi yang masuk ke MOSFET akibat adanya kapasitansi parasit. Konfigurasi rangkaian *driver* MOSFET ditunjukkan pada Gambar 3.7 dan parameternya dimuat pada Tabel 3.4.

BAB 4

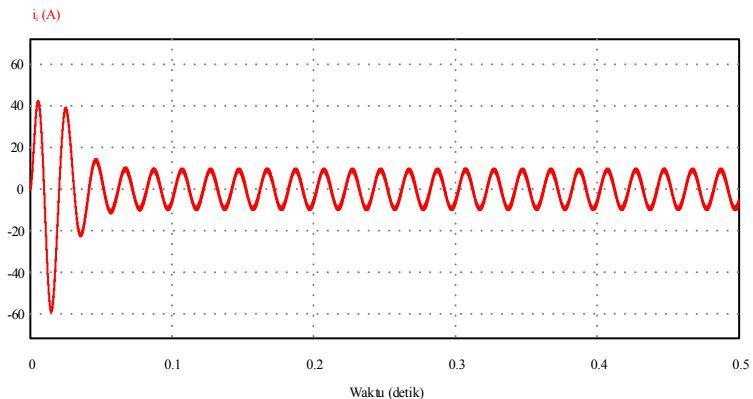
SIMULASI KONVERTER AC/DC/AC SATU FASA UNTUK APLIKASI *ON-LINE* UPS

4.1 Simulasi Konverter dengan Kontrol *Open Loop*

Pada kontrol *open loop*, pensaklaran penyearah dan inverter sama-sama dikendalikan menggunakan sinyal SPWM 10 kHz namun dengan indeks modulasi berbeda. Tegangan input yang diberikan sesuai desain yakni 12 V dan tidak di variasikan karena tidak ada kontrol yang digunakan untuk mengatur tegangan DC. Daya output divariasikan mulai dari *full load* kemudian diturunkan bertahap hingga 10%.

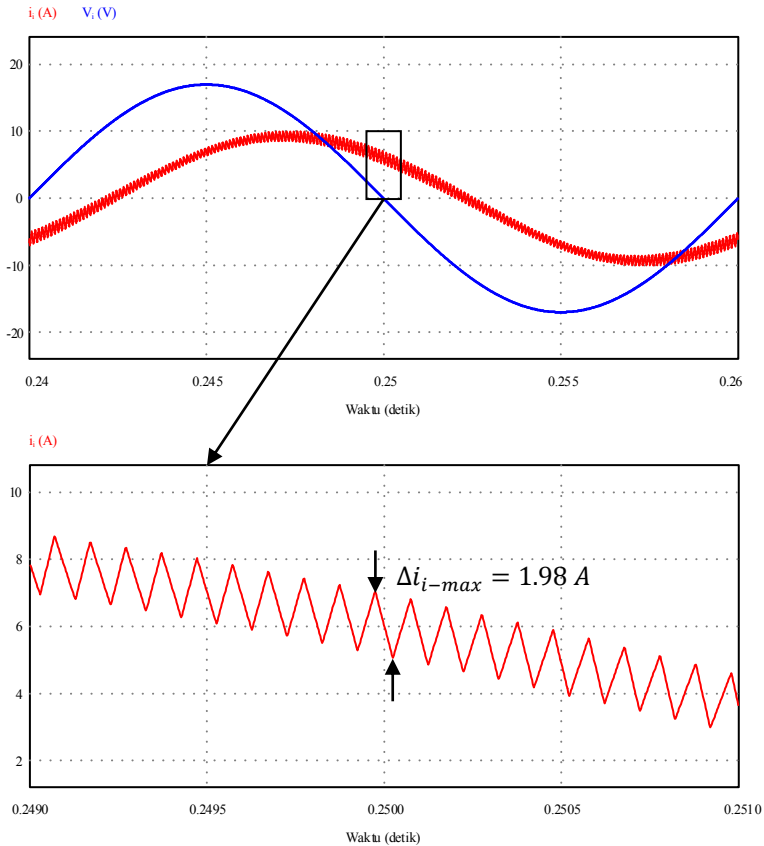
4.1.1 Karakteristik Arus Input

Karakteristik arus input diamati pada kondisi beban penuh. Gambar 4.1 menunjukkan arus input maksimum saat transien sekitar 40 A pada siklus positif dan 60 A pada siklus negatif. Pada saat implementasi, arus transien yang sangat besar ini bisa dihindari dengan menaikkan tegangan input secara perlahan. Waktu yang dibutuhkan konverter untuk mencapai kondisi *steady state* adalah sekitar 60 ms. Setelah mencapai *steady state*, besarnya arus yang masuk adalah 6.54 A.



Gambar 4.1 Gelombang arus input (i_i) konverter AC/DC/AC dengan kontrol *open loop* pada beban penuh

Riak arus input ditunjukkan pada Gambar 4.2. Arus input maksimum sesuai simulasi adalah $I_{i-max} = 6.54 \times \sqrt{2} A = 9.25 A$. Namun, nilai riak menyebabkan arus maksimum mencapai level 10 A. Artinya, riak arus input saat mencapai nilai puncaknya adalah 16%. Riak arus input maksimum dicapai ketika tegangan input mencapai titik nol seperti yang ditunjukkan pada gambar tersebut.



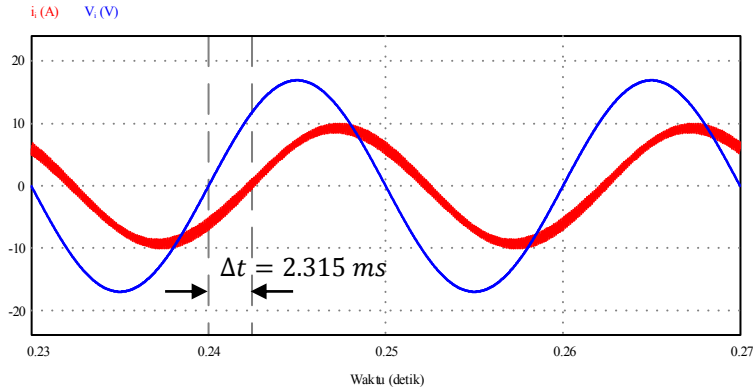
Gambar 4.2 Riak arus input (Δi_i) konverter

Faktor daya dan komponen harmonisa arus input ditunjukkan pada Gambar 4.3 dan 4.4. Berdasarkan Gambar 4.3 terlihat bahwa

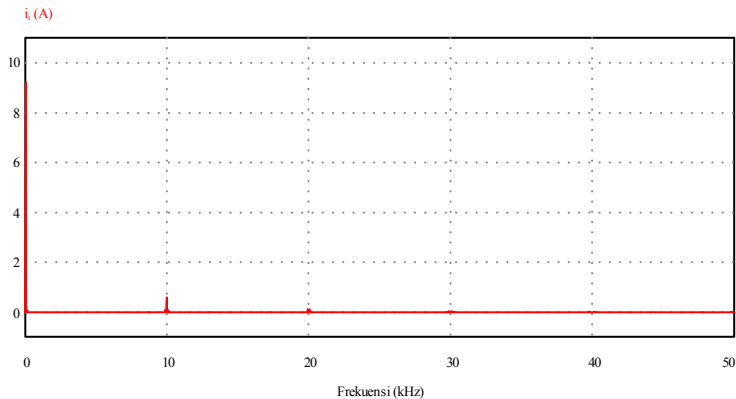
tegangan dan arus input mencapai titik nol masing-masing pada $t = 240 \text{ ms}$ dan $t = 242.315 \text{ ms}$ sehingga faktor daya dapat dihitung:

$$\Delta t = 242.315 \text{ ms} - 240 \text{ ms} = 2.315 \text{ ms}$$

$$\cos(2 \times 180 \times 50 \times 2.315 \times 10^{-3}) = 74.7\%$$



Gambar 4.3 Beda fasa tegangan (v_i) dan arus input (i_i) konverter AC/DC/AC dengan kontrol *open loop*



Gambar 4.4 Komponen pembentuk harmonisa arus input (i_i) konverter AC/DC/DC dengan kontrol *open loop*

Harmonisa muncul pada frekuensi *switching* 10 kHz dan kelipatannya hingga frekuensi 30 kHz. Nilai THD input dapat dihitung sebagai berikut:

$$THD = \frac{\sqrt{V_{10\text{ kHz}}^2 + V_{20\text{ kHz}}^2 + V_{30\text{ kHz}}^2}}{V_{50\text{ Hz}}}$$

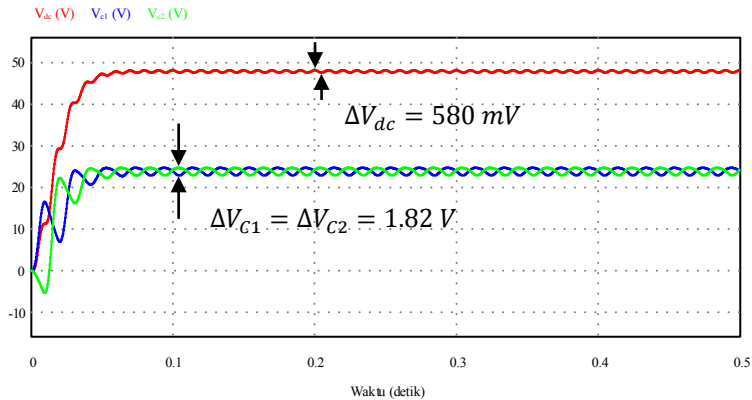
$$THD = \frac{\sqrt{0.58^2 + 0.11^2 + 0.04^2}}{9.24} = 6.4\%$$

4.1.2 Karakteristik Tegangan DC

Tegangan DC diperoleh dari jumlah tegangan pada kedua kapasitor. Gambar 4.5 menunjukkan prinsip *charging/discharging* pada kedua kapasitor. Saat kapasitor pertama mengalami *charging*, kapasitor ke-2 mengalami *discharging* dan sebaliknya. Tegangan pada masing-masing kapasitor seimbang yaitu 24 V. Riak tegangan kapasitor adalah:

$$\frac{\Delta V_{C1}}{V_{C1}} = \frac{\Delta V_{C2}}{V_{C2}} = \frac{24.78\text{ V} - 22.96\text{ V}}{24\text{ V}} = 7.58\%$$

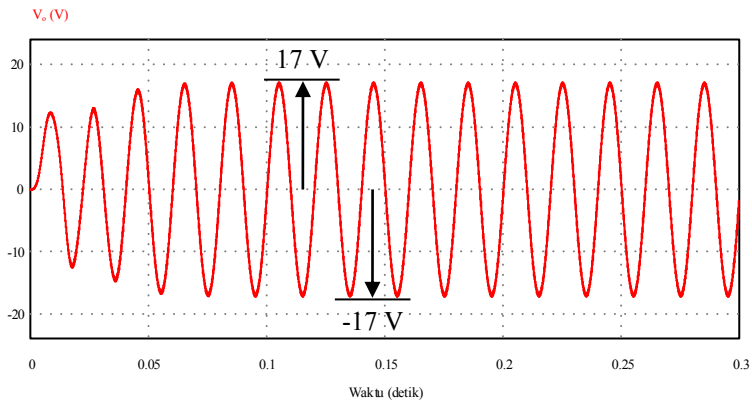
$$\Delta V_{dc} = 48.29\text{ V} - 47.71\text{ V} = 580\text{ mV}$$



Gambar 4.5 Karakteristik tegangan kapasitor (V_{C1} , V_{C2}) dan tegangan DC (V_{dc}) konverter AC/DC/AC *open loop*

4.1.3 Karakteristik Tegangan Output

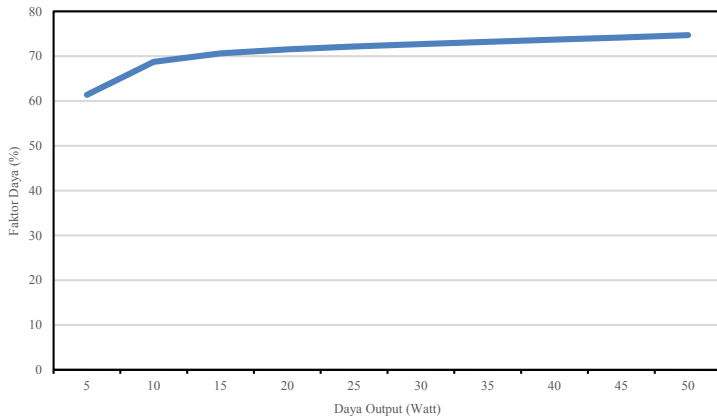
Indeks modulasi SPWM pada inverter diatur sedikit lebih tinggi daripada nilai seharusnya karena tegangan DC yang dihasilkan VDR memiliki riak seperti yang telah diuraikan sebelumnya. Hasil simulasi secara keseluruhan menunjukkan tegangan output yang dihasilkan konverter sama dengan tegangan inputnya yakni 12 V dengan frekuensi 50 Hz. Tegangan output masih memiliki riak yang disebabkan oleh pensaklaran. Bentuk gelombang output konverter ditunjukkan pada Gambar 4.6.



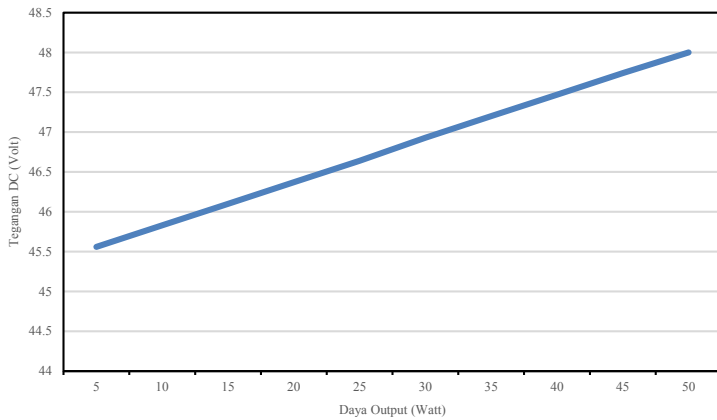
Gambar 4.6 Tegangan output (v_o) konverter AC/DC/AC dengan kontrol *open loop*

4.1.4 Respon Konverter terhadap Perubahan Beban

Pada kontrol *open loop*, perubahan beban dapat menyebabkan perubahan pada tegangan DC dan otomatis mempengaruhi tegangan output. Amplitudo tegangan output dapat dipertahankan pada nilai nominalnya dengan cara mengubah salah satu antara indeks modulasi VDR atau indeks modulasi inverter. Pada simulasi ini, indeks modulasi inverter tetap sedangkan indeks modulasi VDR diubah sedemikian sehingga tegangan output tetap 12 V. Hasil simulasi yang terangkum pada Gambar 4.7 dan Gambar 4.8 menunjukkan bahwa faktor daya input semakin bagus ketika daya output semakin mendekati nominalnya, begitu juga dengan drop tegangan DC yang semakin kecil.



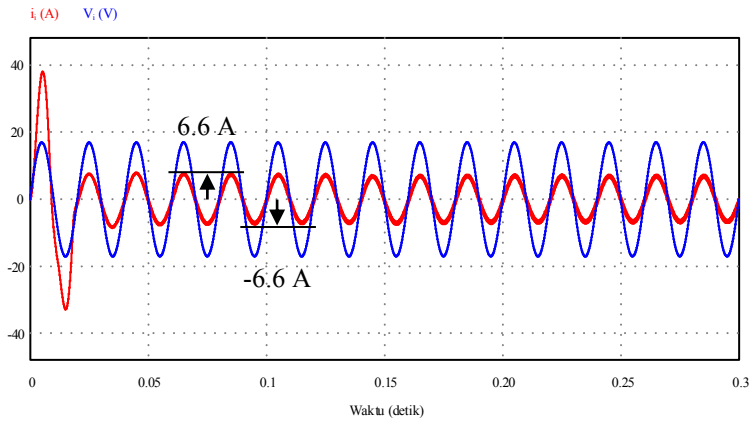
Gambar 4.7 Karakteristik faktor daya terhadap perubahan daya output pada konverter AC/DC/AC kontrol *open loop*



Gambar 4.8 Karakteristik tegangan DC terhadap perubahan daya output pada konverter AC/DC/AC kontrol *open loop*

4.2 Simulasi Konverter dengan Kontrol *Closed Loop*

Kontrol *closed loop* memungkinkan konverter beroperasi pada tegangan input yang berubah-ubah pada interval tertentu. Dengan kondisi input yang berubah-ubah, tegangan output yang diperoleh tetap 12 V karena kontrol PI selalu berusaha mempertahankan tegangan bus DC pada level yang sesuai dengan *setpoint*. Selain itu, konsep kontrol *close loop* yang dipakai pada TA ini mengacu pada konsep kontrol UPFC sehingga faktor daya konverter lebih bagus.



Gambar 4.9 Tegangan (v_i) dan arus input (i_i) konverter AC/DC/AC dengan kontrol *close loop*

4.2.1 Performa Konverter pada Kondisi *Full Load*

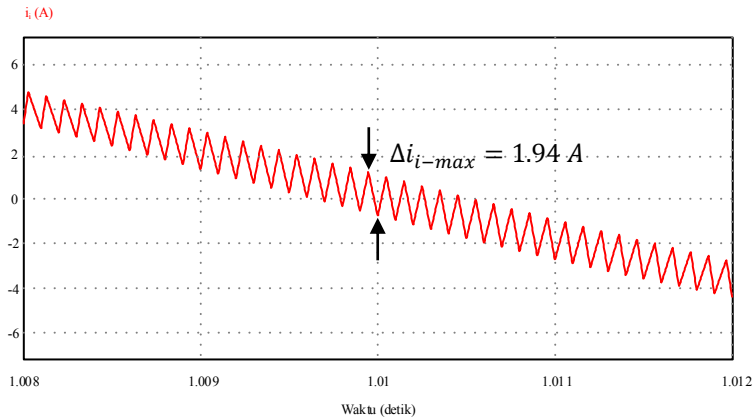
Hasil simulasi konverter AC/DC/AC dengan kontrol *close loop* menunjukkan bahwa arus input memiliki fasa yang sama dengan tegangan input sesuai dengan konsep UPFC. Dengan demikian, besarnya arus yang masuk ke rangkaian jauh lebih kecil jika dibandingkan dengan kontrol *open loop* yakni 4.66 A. Riak arus input dan total harmonisa (THD) dapat dihitung sebagai berikut:

$$\Delta i_{i-max} = 1.19 \text{ A} + 0.75 \text{ A} = 1.94 \text{ A}$$

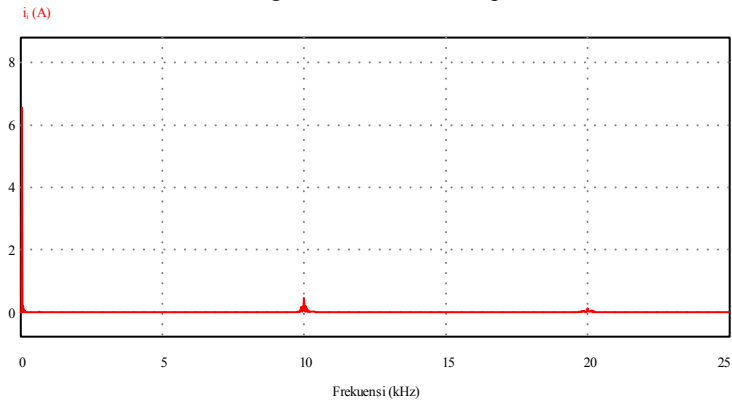
$$THD = \frac{\sqrt{V_{10 \text{ kHz}}^2 + V_{20 \text{ kHz}}^2}}{V_{50 \text{ Hz}}}$$

$$THD = \frac{\sqrt{0.44^2 + 0.12^2}}{6.56} = 6.95\%$$

Jika dibandingkan terhadap THD pada kontrol *open loop*, tidak terlihat adanya perbedaan yang cukup signifikan.



Gambar 4.10 Riak arus input (Δi_i) beban penuh konverter AC/DC/AC dengan kontrol *close loop*

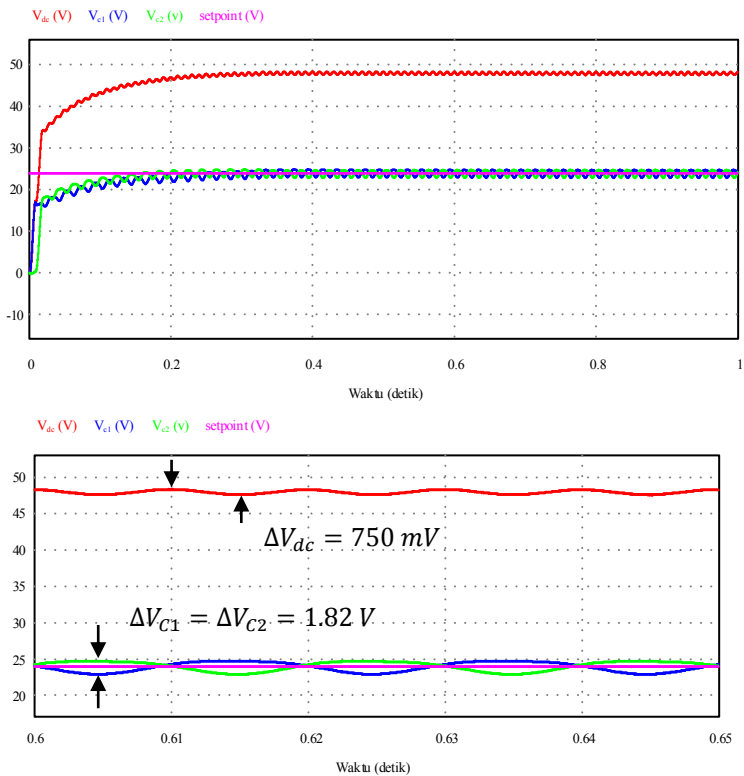


Gambar 4.11 Komponen harmonisa arus input (i_i) konverter AC/DC/AC dengan kontrol *close loop*

Tegangan DC konverter AC/DC/AC mengikuti nilai *setpoint*. Nilai *setpoint* pada kedua kontrol PI adalah sama yakni 24 V. Gambar 4.12 memperlihatkan tegangan pada masing-masing kapasitor mencapai *setpoint* dalam waktu lebih kurang 0.2 detik. Riak tegangan pada kapasitor dan tegangan DC masing-masing adalah 7.58% dan 1.56%.

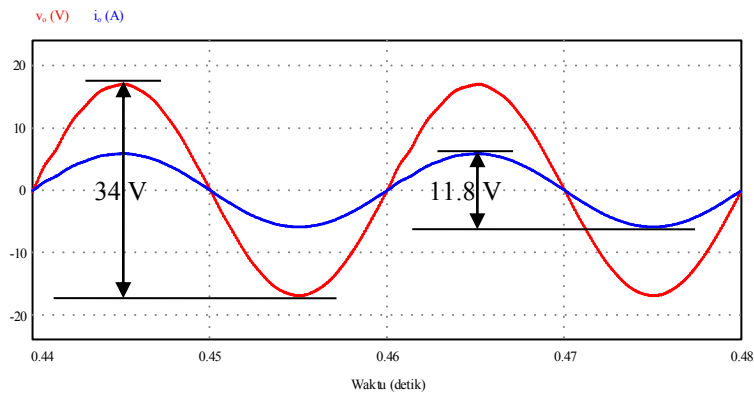
$$\Delta V_{C1} = \Delta V_{C2} = 24.73 \text{ V} - 22.91 \text{ V} = 1.82 \text{ V}$$

$$\Delta V_{dc} = 48.38 \text{ V} - 47.63 \text{ V} = 750 \text{ mV}$$

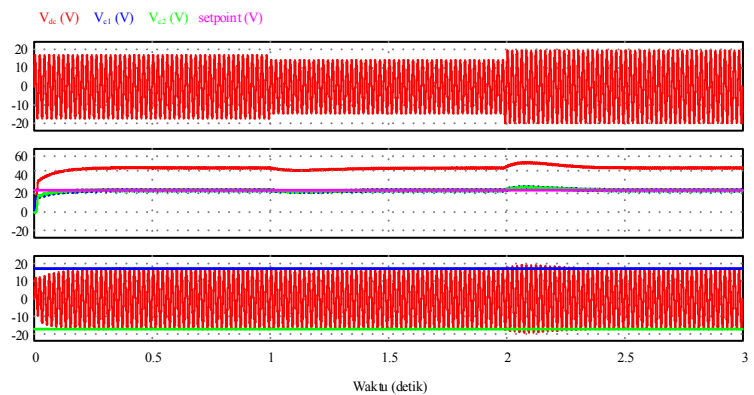


Gambar 4.12 Karakteristik dan riak tegangan kapasitor (ΔV_{C1} , ΔV_{C2}) dan tegangan DC (ΔV_{dc}) konverter AC/DC/AC dengan kontrol *close loop*

Tegangan output yang dihasilkan sesuai dengan hasil desain yakni 12 V dengan arus 4.17 A, dimana bebannya merupakan beban resistif murni dengan resistansi 2.88 Ω . Indeks modulasi SPWM yang digunakan untuk pensaklaran inverter adalah 0.74. Bentuk gelombang tegangan dan arus output tertera pada Gambar 4.13.



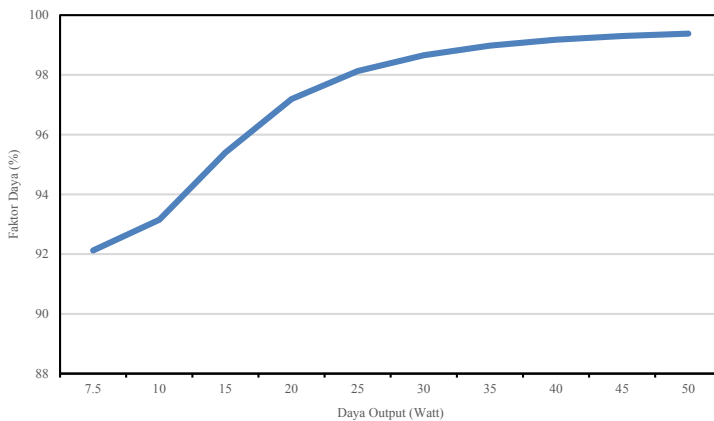
Gambar 4.13 Tegangan (v_o) dan arus output (i_o) beban penuh pada konverter AC/DC/AC dengan kontrol *close loop*



Gambar 4.14 Respon konverter AC/DC/AC dengan kontrol *close loop* terhadap perubahan tegangan input

4.2.2 Respon Konverter terhadap Perubahan Input

Aksi kontrol PI dalam mengontrol tegangan DC mengacu pada nilai *setpoint* sehingga perubahan tegangan input dengan nilai toleransi tertentu tidak mempengaruhi nilai tegangan DC pada kondisi *steady state*. Pada simulasi kali ini, nilai tegangan input divariasikan dengan toleransi $\pm 15\%$. Hasilnya ditunjukkan pada Gambar 4.14. Dari sini terlihat bahwa nilai tegangan DC selalu kembali menuju *setpoint* sehingga tegangan output yang diperoleh tetap sesuai nominalnya.



Gambar 4.15 Karakteristik faktor daya terhadap daya output pada konverter AC/DC/AC dengan kontrol *close loop*

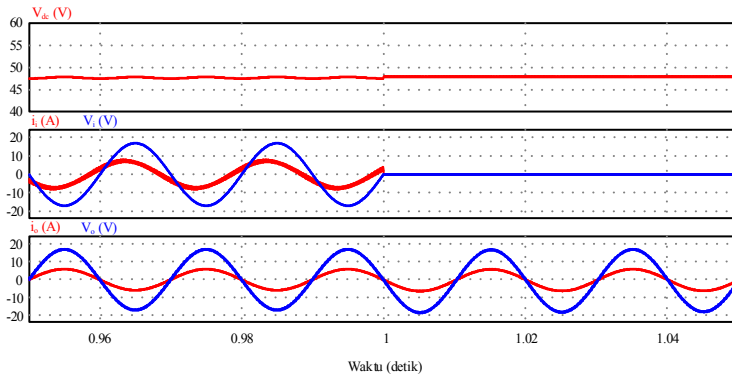
4.2.3 Respon Konverter terhadap Perubahan Beban

Sama halnya seperti pada kontrol *open loop*, faktor daya paling bagus ketika konverter dioperasikan pada kondisi *full load*. Berdasarkan Gambar 4.15 dapat diamati bahwa perubahan faktor daya konverter tidak begitu signifikan untuk pembebanan diatas 50%. Selain itu, tegangan DC tidak berubah selama daya output masih diatas 15%. Aksi kontrol PI bersifat divergen pada pembebanan dibawah 15%.

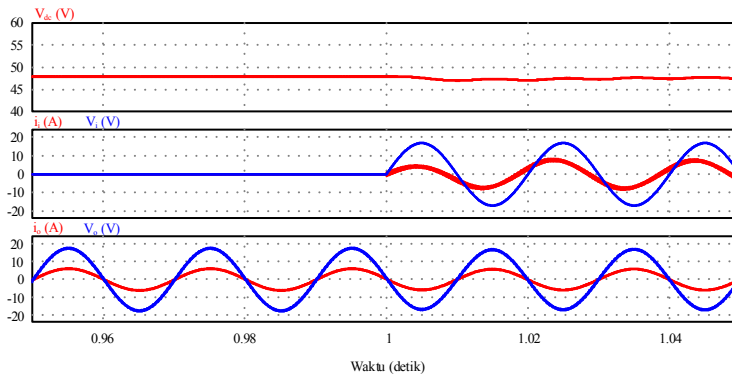
4.3 Simulasi Konverter pada Aplikasi On-Line UPS

Pada bagian ini dijelaskan bagaimana konverter AC/DC/AC menjalankan perannya pada aplikasi *on-line* UPS. Konfigurasi

rangkaian sama seperti yang ditunjukkan pada Gambar 3.1 dengan tambahan baterai yang terhubung pada bus DC. Simulasi ini dilakukan pada dua kondisi. Kondisi pertama yaitu perpindahan dari mode operasi normal ke mode operasi baterai, dan kondisi kedua adalah sebaliknya. Hasil simulasi pada tiap kondisi ditunjukkan pada Gambar 4.16 dan Gambar 4.17.

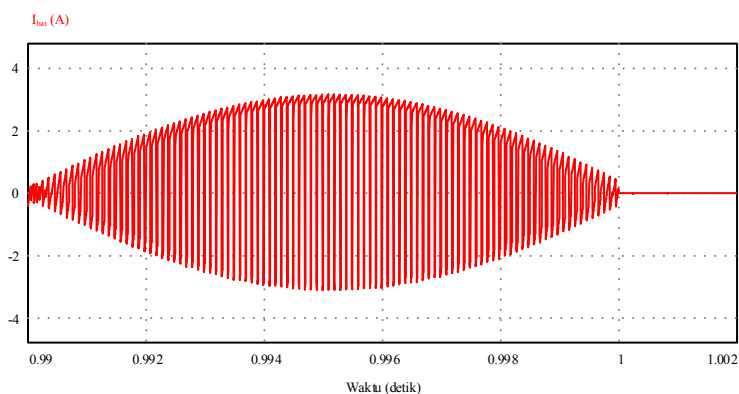


Gambar 4.16 Gelombang tegangan dan arus konverter pada mode operasi normal dan berpindah ke mode baterai



Gambar 4.17 Gelombang tegangan dan arus konverter pada mode baterai dan berpindah ke mode operasi normal

Daya output yang diperoleh tetap 53 W, baik pada saat mode operasi normal maupun pada mode baterai. Pada mode operasi, daya mengalir dari sumber tegangan jala-jala ke beban sehingga tidak ada arus pada baterai. Saat terjadi gangguan, tegangan jala-jala dilepas dari konverter AC/DC/AC dan inverter mendapat suplai dari baterai. Gelombang arus yang terukur pada baterai pada masing-masing kondisi ditunjukkan pada Gambar 4.18.



Gambar 4.18 Arus baterai (i_{bat}) pada mode baterai dan berpindah ke mode operasi normal

Arus rata-rata baterai (I_{bat}) pada mode baterai adalah 1.1 A sehingga daya yang disuplai adalah sebesar 52.8 W.

Halaman ini sengaja dikosongkan

BAB 5

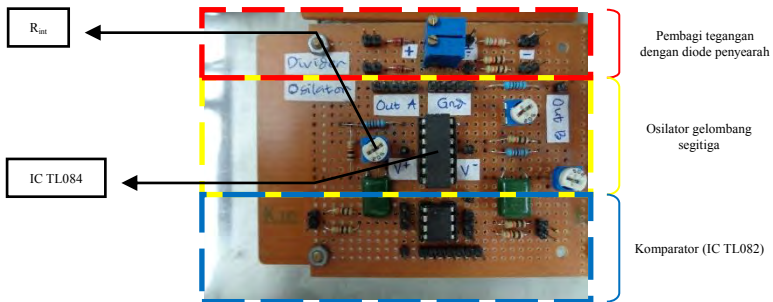
IMPLEMENTASI DAN ANALISIS KONVERTER AC/DC/AC SATU FASA

5.1 Implementasi Sinyal Pensaklaran

Implementasi konverter AC/DC/AC hanya menggunakan kontrol *open loop*. Artinya, pada bagian ini hanya dibahas mengenai pembangkitan sinyal SPWM beserta sinyal komplementernya. Hampir semua harga komponen pasif mengikuti hasil desain pada Bab 3, sedangkan parameter lainnya diatur sedemikian sehingga diperoleh sinyal pensaklaran yang dibutuhkan. Parameter yang perlu diperhatikan diantaranya adalah indeks modulasi dan frekuensi SPWM.

5.1.1 Pengujian Sinyal *Carrier*

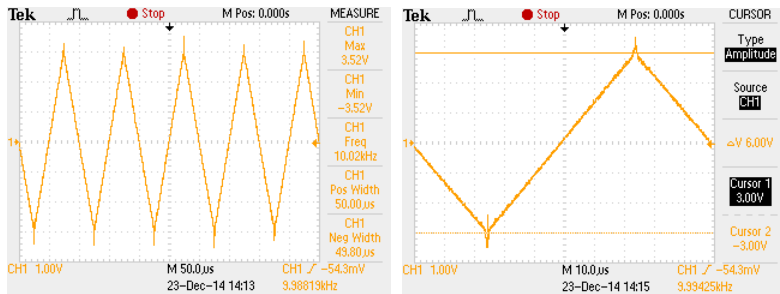
Sinyal *carrier* yang digunakan untuk membangkitkan SPWM adalah berupa gelombang segitiga dengan *duty cycle* 50%. Amplitudo sinyal *carrier* yang dibutuhkan adalah 3 V dengan frekuensi 10 kHz. Sinyal ini didesain untuk mengatur frekuensi sinyal pensaklaran sehingga amplitudo dibuat tetap, sedangkan frekuensinya dapat diubah. Frekuensi ini diatur menggunakan potensiometer R_{int} seperti yang ditunjukkan pada Gambar 5.1. Jenis IC penguat operasional yang dipakai untuk membangkitkan sinyal *carrier* adalah JFET *quad operational amplifier* dengan seri TL084.



Gambar 5.1 Rangkaian osilator sinyal segitiga dan komparator

TL084 berisi 4 unit rangkaian op-amp sehingga IC ini bisa digunakan untuk membangkitkan dua gelombang segitiga. Salah satu

gelombang dijadikan sebagai *carrier* untuk SPWM rangkaian VDR, dan yang lainnya sebagai *carrier* SPWM inverter. IC ini diberi suplai tegangan DC sebesar 11 V dan diperoleh output dengan tegangan maksimum 3 V dengan transien 0.52 V seperti yang tertera pada Gambar 5.2.



Gambar 5.2 Gelombang output osilator (V_s)



Gambar 5.3 Sinyal SPWM dan komplementernya

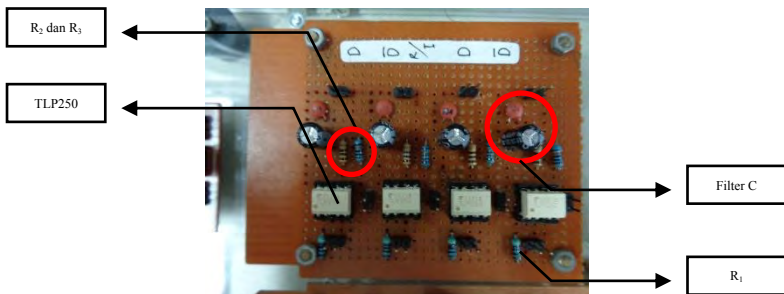
5.1.2 Pengujian Sinyal SPWM

Komparator yang digunakan untuk membangkitkan sinyal SPWM adalah IC TL082 yang berisi dua unit op-amp. IC ini dioperasikan pada mode *dual supply* karena inputnya merupakan sinyal AC. Dengan demikian, SPWM yang dihasilkan bernilai $+V_{sat}$ pada level *high* dan $-V_{sat}$ pada level *low*. IC mikrokontroler ATMEGA8A hanya bisa membaca tegangan 0 V hingga 5 V sehingga dibutuhkan

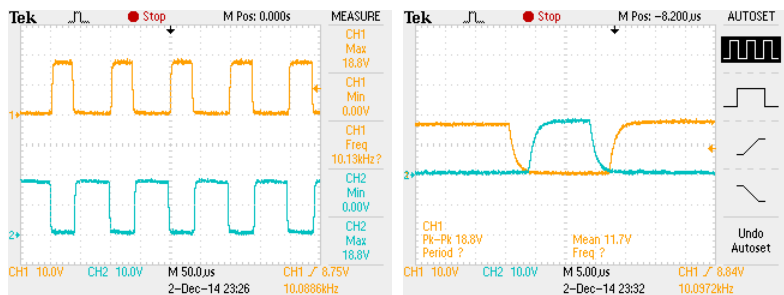
dioda penyearah untuk memotong nilai $-V_{sat}$ dan pembagi tegangan untuk mengatur tegangan yang masuk ke mikrokontroler. Bentuk Sinyal SPWM beserta sinyal komplementer yang dihasilkan mikrokontroler tersebut diperlihatkan pada Gambar 5.3. Dari gambar ini terlihat bahwa delay antar sinyal sekitar 3 mikrodetik.

5.1.3 Pengujian Rangkaian *Photocoupler*

Sinyal SPWM dikuatkan menggunakan rangkaian *photocoupler* dengan tegangan suplai DC 18 V. Setiap IC TLP250 harus terisolasi satu sama lain sehingga suplai DC yang diberikan harus terpisah. Gelombang output rangkaian *driver* MOSFET ini dihubungkan ke kaki *gate* dan *source* MOSFET. Hasil implementasi rangkaian *driver* MOSFET ditunjukkan pada Gambar 5.4 dan bentuk gelombangnya tertera pada Gambar 5.5.

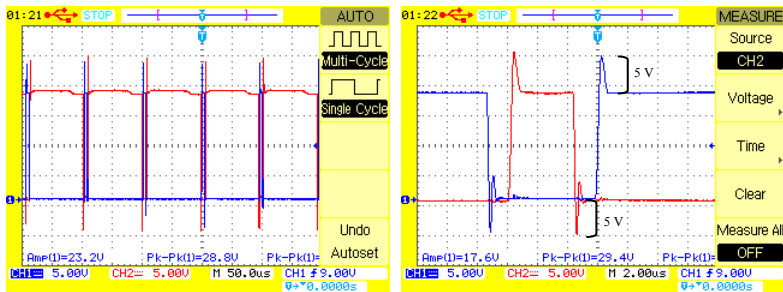


Gambar 5.4 Rangkaian *driver* MOSFET dengan *photocoupler*



Gambar 5.5 Gelombang tegangan *gate* ke *source* (V_{GS}) MOSFET

Gelombang yang dihasilkan memiliki *rise time* dan *fall time* yang lebih besar daripada sinyal asli. Hal ini terjadi akibat penambahan resistor R_2 dan R_3 antara output TLP250 ke kaki *gate* dan *source* MOSFET. Resistor ini berfungsi untuk menahan arus transien yang sangat besar saat penyalan dan pemadaman MOSFET akibat adanya efek kapasitansi parasit antar kaki MOSFET. Jika kedua resistor ini dilepas, maka gelombang tersebut memiliki transien hingga mencapai 5 V seperti ditunjukkan pada Gambar 5.6.



Gambar 5.6 Gelombang V_{GS} tanpa adanya R_2 dan R_3

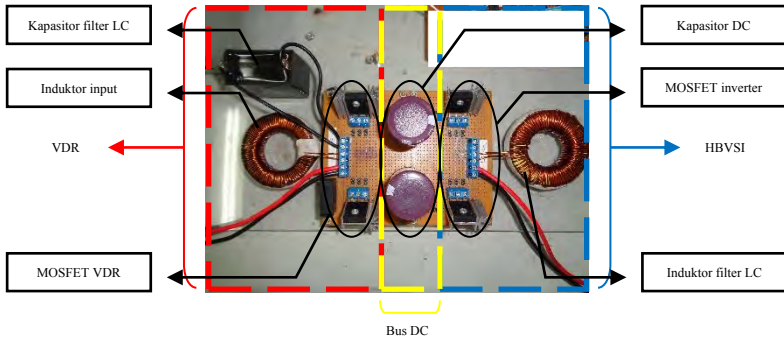
5.2 Implementasi Konverter AC/DC/AC

Pengujian konverter dilakukan dalam tiga tahap yaitu pengujian VDR, pengujian HBVSI dan pengujian kontrol secara keseluruhan. Pada pengujian VDR, parameter yang diamati adalah besarnya tegangan DC dan tegangan masing-masing kapasitor pada kondisi tegangan input 12 V. Selanjutnya, HBVSI diuji dengan tegangan input DC 48 V dengan target output 12 V. Pada pengujian konverter, indeks modulasi inverter dibuat tetap sedangkan indeks modulasi VDR diubah sehingga tegangan output yang diperoleh tetap 12 V.

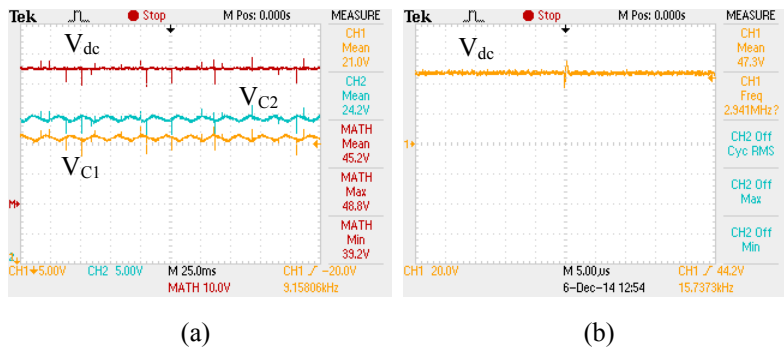
5.2.1 Pengujian VDR

Implementasi rangkaian konverter AC/DC/AC ditunjukkan pada Gambar 5.7. Saat pengujian VDR, MOSFET inverter dilepas dari rangkaian dan bus DC dihubungkan dengan beban resistor. Bentuk gelombang tegangan DC ditampilkan pada Gambar 5.8a. Dari gambar ini terlihat bahwa tegangan pada kapasitor tidak seimbang. Hal ini disebabkan karena adanya delay pada sinyal komplementer SPWM yang menyebabkan durasi konduksi *switch* menjadi lebih kecil. Semakin

besar delay sinyal komplementer ini semakin besar pula perbedaan tegangan antar kapasitor. Namun jika delaynya terlalu kecil maka akan menyebabkan *switch* konduksi sebelum *switch* lainnya padam sehingga terjadi arus hubung singkat. Tegangan DC dapat dinaikkan dengan menambah indeks modulasi SPWM.



Gambar 5.7 Implementasi rangkaian konverter AC/DC/AC

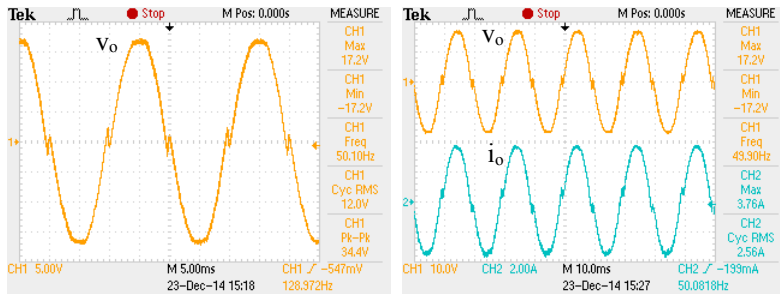


Gambar 5.8 Gelombang tegangan output penyearah V_{dc} (a) dan dengan penambahan indeks modulasi M_i (b)

5.2.2 Pengujian HBVSI

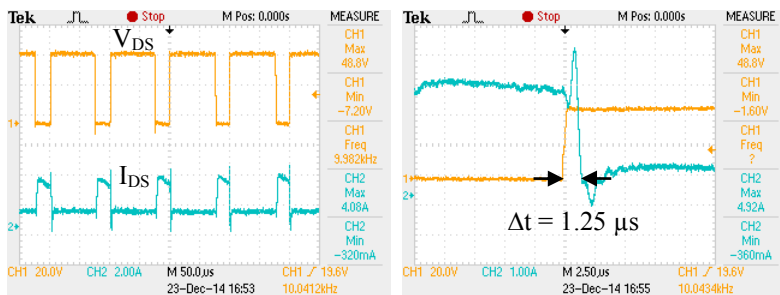
Pada pengujian HBVSI, kedua MOSFET VDR dilepas dan bus DC diberi tegangan 48 V. Beban resistor sebesar 4.7Ω dihubungkan dengan output inverter dan modulasi diatur sehingga diperoleh tegangan

output 12 V. Bentuk gelombang tegangan dan arus output inverter ditunjukkan pada Gambar 5.9. Arus yang mengalir dari suplai DC adalah 0.75 A, artinya efisiensi inverter adalah 85% untuk beban 60%.



Gambar 5.9 Tegangan dan arus output HBVSI pada beban 60%

Efisiensi konverter berhubungan dengan rugi-rugi yang dihasilkan baik dari resistansi parasite komponen pasif maupun dari proses pensaklaran. Tegangan pensaklaran MOSFET (V_{DS}) dan arusnya (I_{DS}) ditunjukkan pada Gambar 5.10. Pada kondisi ideal, tegangan V_{DS} bernilai nol saat MOSFET konduksi sedangkan arus I_{DS} bernilai nol ketika MOSFET terbuka. Rugi-rugi pensaklaran terjadi ketika V_{DS} dan I_{DS} sama-sama tidak bernilai nol.



Gambar 5.10 Tegangan pensaklaran MOSFET (V_{DS}) dan arusnya (I_{DS})

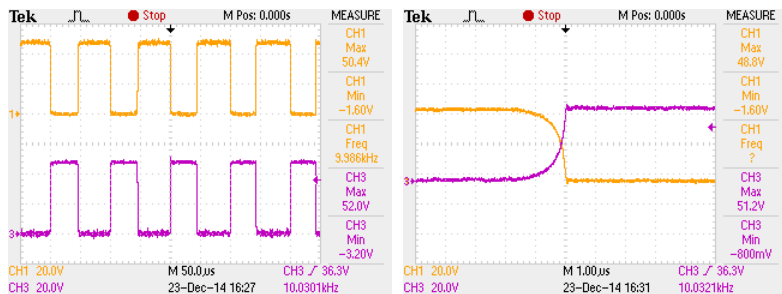
Dari gambar tersebut terlihat bahwa ada tumpeng tindih antara V_{DS} dengan I_{DS} selama kurang lebih 1.25 mikrodetik. Jika luas daerah tumpeng tindih tersebut diasumsikan berbentuk segitga, maka energi yang terpakai selama kondisi tersebut adalah:

$$E = \frac{4.92}{2} \times 3.47 \times 10^{-10} = 8.54 \times 10^{-10} \text{ Wh}$$

Dengan demikian, rugi-rugi akibat pensaklaran adalah

$$P = \frac{8.54 \times 10^{-10} \text{ Wh}}{3.47 \times 10^{-10} \text{ h}} = 2.46 \text{ W}$$

Gelombang tumpang tindih antara V_{DS} dan I_{DS} ini disebabkan oleh delay sinyal pensaklaran MOSFET yang kurang sempurna. Gambar 5.11 menunjukkan gelombang tegangan V_{DS} pada MOSFET pertama dan kedua. Dari gambar ini terlihat bahwa kedua MOSFET aktif pada saat yang bersamaan dalam waktu sekitar 1.25 mikrodetik.

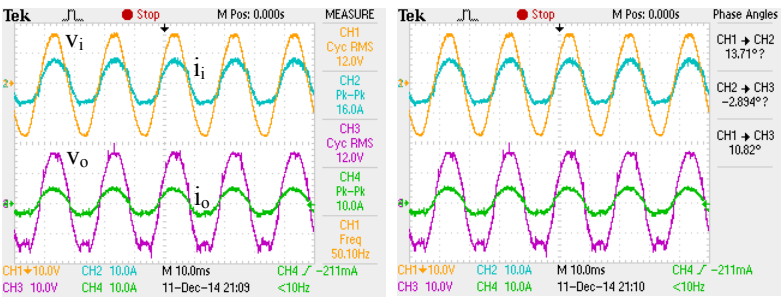


Gambar 5.11 Tegangan V_{DS} kedua MOSFET HBVSI

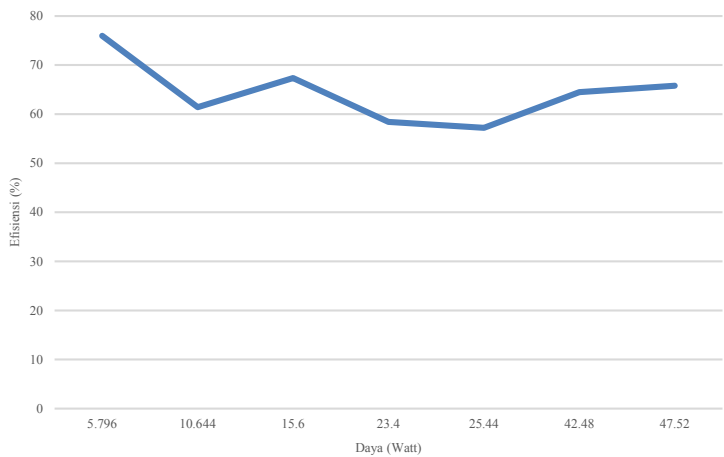
5.2.3 Pengujian Konverter AC/DC/AC

Pada pengujian konverter secara keseluruhan, tegangan input dan output dipertahankan 12 V. Sumber AC yang digunakan mempunyai kapasitas arus maksimum sekitar 6 A. Pembebanan divariasikan mulai dari 10% hingga arus input mencapai batas maksimum tersebut atau

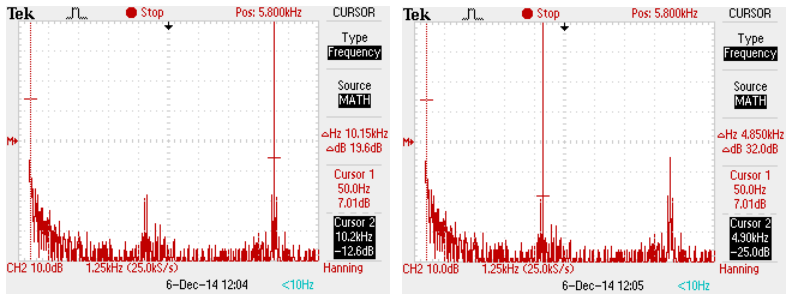
hingga 95%. Gambar 5.12 memuat gelombang tegangan dan arus input/output konverter pada pembebanan 90%. Beda fasa antara arus dan tegangan adalah 13.71° (faktor daya = 0.97). Efisiensi konverter AC/DC/AC pada kondisi pembebanan lainnya digambarkan pada grafik dalam Gambar 5.13.



Gambar 5.12 Tegangan input, arus input, tegangan output, dan arus output konverter AC/DC/AC



Gambar 5.13 Kurva efisiensi konverter AC/DC/AC



Gambar 5.14 Spektrum harmonisa arus input

Spektrum komponen harmonisa arus input dimuat pada Gambar 5.14. Frekuensi fundamentalnya adalah 50 Hz. Harmonisa dominan muncul pada frekuensi pensaklaran 10 kHz, kemudian diikuti pada frekuensi 5 kHz. Nilai THD dapat dihitung dengan menggunakan magnitudo pada kedua frekuensi ini karena magnitudo pada frekuensi lainnya sangat kecil.

$$I_{50 \text{ Hz}} = 10^{\frac{7.01}{20}} = 2.24 \text{ A}$$

$$I_{5 \text{ kHz}} = 10^{\frac{-25}{20}} = 0.056 \text{ A}$$

$$I_{10 \text{ kHz}} = 10^{\frac{-12.6}{20}} = 0.23 \text{ A}$$

Dengan demikian nilai THD arus input adalah:

$$THD = \frac{\sqrt{V_{5 \text{ kHz}}^2 + V_{10 \text{ kHz}}^2}}{V_{50 \text{ Hz}}}$$

$$THD = \frac{\sqrt{0.056^2 + 0.23^2}}{2.24} = 10.56\%$$

Halaman ini sengaja dikosongkan

BAB 6

PENUTUP

6.1 Kesimpulan

Berdasarkan hasil pengujian yang telah diperoleh baik dari simulasi maupun implementasi konverter AC/DC/AC pada TA ini, dapat ditarik beberapa kesimpulan sebagai berikut.

1. Konverter AC/DC/AC topologi *half-bridge* dapat bekerja dengan 4 unit komponen pensaklaran. Jumlah ini dua kali lebih sedikit dibandingkan dengan konverter *full-bridge*.
2. Hasil simulasi menunjukkan konverter AC/DC/AC topologi *half-bridge* memungkinkan beroperasi sebagai UPFC dengan cara menambahkan kontrol PI untuk mempertahankan tegangan DC sekaligus mengatur gelombang arus input.
3. Hasil implementasi konverter AC/DC/AC dengan kontrol *open-loop* menunjukkan bahwa efisiensi konverter rendah, yaitu berkisar antara 60% hingga 75%. Hal ini disebabkan karena tegangan output yang diperoleh telah mengalami dua kali konversi.

6.2 Saran

Perancangan konverter AC/DC/AC topologi *half-bridge* telah dibuktikan pada TA ini melalui implementasi *prototype* daya rendah dengan kontrol *open-loop*. Untuk pengembangan selanjutnya, diberikan saran sebagai berikut.

1. Implementasi konverter AC/DC/AC topologi *half-bridge* sebaiknya dilengkapi dengan kontrol PI. Dengan demikian, arus input dapat diatur sehingga efisiensi konverter diharapkan menjadi lebih baik.
2. Masing-masing pensaklaran pada VDR dan HBVSI bekerja secara komplementer sehingga pada saat implementasi harus diperhatikan delay antara sinyal asli dengan sinyal komplementer. Jika delay terlalu kecil maka dapat menyebabkan hubung singkat, namun jika terlalu besar maka diperoleh perbedaan tegangan antara kapasitor DC yang cukup signifikan.
3. Dalam menentukan induktansi dan kapasitansi komponen pasif VDR, diperlukan kombinasi yang tepat antara daya output dan tegangan output. Nilai kapasitor berbanding lurus dengan daya output dan berbanding terbalik dengan kuadrat tegangan output, sedangkan nilai induktor bersifat kebalikannya.

Halaman ini sengaja dikosongkan

LAMPIRAN

Source Code ATMEGA8A

```
#include <mega8.h>
#include <delay.h>

bit status=0;
bit stutas=0;

interrupt [EXT_INT0] void ext_int0_isr(void)
{
    if(status){
        PORTB.1=!PORTB.1;
        delay_us(2);
        PORTB.2=!PORTB.2;
        status=0;
    }
    else{
        PORTB.2=!PORTB.2;
        delay_us(2);
        PORTB.1=!PORTB.1;
        status=1;
    }
}

interrupt [EXT_INT1] void ext_int1_isr(void)
{
    if(stutas){
        PORTB.0=!PORTB.0;
        delay_us(2);
        PORTD.7=!PORTD.7;
        stutas=0;
    }
    else{
        PORTD.7=!PORTD.7;
        delay_us(2);
        PORTB.0=!PORTB.0;
        stutas=1;
    }
}
```

```

void main(void)
{
PORTB=0x04; DDRB=0x07; PORTC=0x00; DDRC=0x00;
PORTD=0x80; DDRD=0x80; TCCR0=0x00; TCNT0=0x00;
TCCR1A=0x00; TCCR1B=0x00; TCNT1H=0x00; TCNT1L=0x00;
ICR1H=0x00; ICR1L=0x00; OCR1AH=0x00; OCR1AL=0x00;
OCR1BH=0x00; OCR1BL=0x00; ASSR=0x00; TCCR2=0x00;
TCNT2=0x00; OCR2=0x00; GICR|=0xC0; MCUCR=0x05;
GIFR=0xC0; TIMSK=0x00; UCSRB=0x00; ACSR=0x80;
SFIOR=0x00; ADCSRA=0x00; SPCR=0x00; TWCR=0x00;
#asm("sei")
while (1){
}
}
}

```

DAFTAR PUSTAKA

- [1] M. H. Rashid, "Uninterruptible power supplies," *Power Electronics Handbook*, 2nd ed. California, USA: Academic Press, 2007, pp. 619-633.
- [2] A. Nasiri, S. B. Bekiarov, dan A. Emadi, "An on-line UPS system with power factor correction and electric isolation using BIFRED converter," *IEEE Trans. Ind. Electron.*, vol. 55, no. 2, pp. 722-730. Feb. 2008.
- [3] C. G. C. Branco, C. M. T. Cruz, R. P. Torrico-Bascopé, F. L. M. Antunes, dan Luiz H. S. C. Barreto, "A transformerless single phase on-line UPS with 110V/220V input output voltage," *Proc. IEEE APEC*, 2006, vol. 6, pp. 348-354.
- [4] A. Răzvan-Daniel dan P.-V. Florin, "High reliability single-phase uninterruptible power supply," *Journal of Electrical and Electronics Engineering Research*, vol. 3, no. 2, pp. 18-26, Feb. 2011.
- [5] J.-K. Park, J.-M. Kwon, E.-H. Kim, dan B.-H. Kwon, "High-performance transformerless on-line UPS," *IEEE Trans. Ind. Electron.*, vol. 55, no. 8. Aug. 2008.
- [6] R. Ghosh dan G. Narayanan, "A simple analog controller for single-phase half-bridge rectifier," *IEEE Trans. Power Electron.*, vol. 22, no. 1. Jan. 2007

Halaman ini sengaja dikosongkan

BIOGRAFI PENULIS



Sayid Muhammad Sidqi lahir di Kota Banda Aceh pada tanggal 13 April 1992. Penulis merupakan anak sulung dari pasangan Sayid Abubakar dan Nurbary M, Zain. Pada tahun 1997, penulis mulai memasuki pendidikan formal di TK Raudhatul Atfal Al-Ihsan Samadua. Setahun berikutnya penulis melanjutkan pendidikan di MIN Kasik Putih, MTsN Samadua, dan SMAN Unggul Aceh Selatan. Penulis memasuki jenjang pendidikan tinggi pada tahun 2010 di Institut Teknologi Sepuluh Nopember,

Surabaya. Penulis mengambil jurusan teknik elektro dan fokus pada bidang studi sistem tenaga.

Halaman ini sengaja dikosongkan